

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

Background of this invention Field of this invention This invention relates to a three-dimension integrated semiconductor device and the semiconductor device each other perpendicularly joined so that especially the three-dimensional structure might be formed.

[0002]

Consideration of a background The capacity to integrate influences a success of semiconductor industry. This was proved [invention / of an integrated circuit (IC).] first. IC consists of essentially producing electronic parts in the front face of a semi-conductor wafer, and being able to come, and it being alike, then interconnecting these components by the metallization to the topmost part of components. The dramatic costs reduction and the improvement in the engine performance which were obtained from this integration had deep economical influence.

[0003]

Semiconductor industry has experienced the rapid growth continued for amelioration without the intermission in the accumulation consistency of the attained various electronic parts (for example, a transistor, diode, a register, a capacitor, etc.) since invention of IC. Most originates in reduction by which the minimum configuration which makes it possible that amelioration of this accumulation consistency makes many components accumulate by the fixed field was repeated. The further amelioration originates in the increment in wafer size.

[0004]

Originally the volume by which amelioration of these integration is occupied with the integrated components is essentially two-dimensional (2-D) in respect of the front face of a semi-conductor wafer. Although the dramatic amelioration in lithography brought about the considerable amelioration in this 2-D integration, there is a physical limitation in the consistency which may be attained in 2-D. One of the limitations of these is the minimum size needed in order to only make these components. Another limitation is the significant increment in the interconnect demand between the components accompanying the magnitude of components decreasing.

[0005]

The efforts for for attaining integration exceeding integration which can be attained by 2-D are performed, and growth of the amelioration in chip memory and the further semiconductor industry is brought about. For example, the volume of the significant semi-conductor under a wafer front face is used for a trench capacitor, and it makes it possible to attain more functionality in a fixed chip field. Other efforts turned to attaining integration to the high level by the use which the volume in a fixed chip field increases have increased in recent years. One approach was repeating an integration process by adding a semiconductor material on interconnect metallization and subsequently performing additional interconnect metallization. Although this brings about many components from that per chip field potentially, it has the problem of others containing the thermal budget (thermal budget) which increased intentionally. In addition, they only used one substrate and these efforts and other efforts have clarified

in that it is processed on one front face of that substrate after that. It is simplified that there is nothing to the thermal process included in production of interconnect by the device ****, and it raises production of a device.

[0006]

Another problem arises, as a result of the capacity which carries out the scaling of the dimension of interconnect being overdue compared with the scaling of the dimension of a device. Ideally, it is requested that the critical dimension of beer (via) is the same as the dimension of the gate. However, an accumulation consistency is restricted in order that the scaling of beer may be late for the scaling of a device.

[0007]

When the further problem tends to integrate the technique of a different type to one circuit or a wafer, it arises. BiCMOS is the one example. In order to make it possible to combine these techniques typically, a special processing technique must be devised. The process needed for one technique often bars the process needed for another technique. Compromise is made as a result, overall development of the technique put together is frozen after all, and is not impossible in flexible integration of the technique which it is going to combine -- be alike and carry out -- it is considering as the very difficult thing. In other words, "the best technology (best of breed)" which progressed most is not combined, and the development in a technique must have been attained.

[0008]

Another problem of combining a technique is having to perform custom my ZESHON (customization) beforehand. In the first place, in the first place, processing for combining a technique must be designed, and, for this reason, a limitation is included by the device. Furthermore, since there is the need of designing processing again, the development and amelioration in a technique cannot be used easily.

[0009]

Epitome of this invention The purpose of this invention is to offer the approach and device which have a high accumulation consistency.

[0010]

Another purpose of this invention is to offer the approach and device by which the ingredient of a different type may be integrated.

[0011]

The further purpose of this invention is to offer the structure containing the integration approach of the device of a different type, and the integrated device.

[0012]

Another further purpose of this invention is to offer the approach and device by which the technique of a different type was integrated.

[0013]

or [that it avoids a thermal budget in case the further purpose of this invention interconnects a device] - or it is in minimizing.

[0014]

Another further purpose of this invention is in making the best technique which can be used integrate, without making a compromise of significant processing.

[0015]

These purposes of this invention and the other purposes Each 1st front face of the 1st, 2nd, and 3rd workpieces (workpiece) is respectively ground to desired surface roughness, Said 1st front face of said 1st and 2nd workpieces is joined mutually, It may be attained after junction by the junction approach including grinding one 2nd front face of said 1st and 2nd workpieces to said surface roughness, and joining said 1st front face of said 3rd workpiece to said 2nd ground front face.

[0016]

Said front face may be ground by even about 5-10A granularity. The 1st workpiece is obtained by forming the 1st thin ingredient on the 2nd ingredient, the 2nd workpiece is obtained by forming the 3rd thin ingredient on the 4th ingredient, and it obtains and deals in the 3rd workpiece by forming the 5th

ingredient on the 6th ingredient. This approach may include the process which grinds the 1st, 3rd, and 5th ingredients, in order to obtain the 1st front face.

[0017]

The 1st and 3rd ingredients may be formed from the ingredient which has high thermal conductivity and high specific inductive capacity respectively. The 1st, 3rd, and 5th ingredients may be chosen from the group which consists of diacid-ized silicon, silicon, and diamond-like carbon. The 1st, 3rd, and 5th ingredients may be formed in whenever [about 1 to 10 times the thickness of surface non-plane / of the 2nd 4th, and 6th ingredients] (surface non-planarity), respectively.

[0018]

This approach may also include the process which forms the 1st to 3rd semiconductor device on each the 1st to 3rd substrate as the 1st - the 3rd workpiece again. The front face of the 1st and 2nd semiconductor devices may be ground in order to obtain each 1st and 2nd front faces. In this example, the 1st ingredient is formed on the front face of the 1st semiconductor device, and the 2nd ingredient may be formed on the front face of the 2nd semiconductor device. The 1st and 2nd ingredients may be ground in order to obtain each 1st and 2nd front faces.

[0019]

One exposure front face of the 1st and 2nd semiconductor devices may be ground by desired surface roughness after junction of the 1st and 2nd front faces, and the 1st front face of the 3rd semiconductor device may be joined to this exposure front face.

[0020]

In another example, one exposure front face of the 1st and 2nd semiconductor devices may be ground by about 5-10Å surface roughness after junction of the 1st and 2nd front faces. The front face of N-2 semiconductor device may be ground until each has the surface roughness which is about 5-10Å. N-2 semiconductor device may be joined to the 1st and 2nd joined semiconductor devices, in order to obtain N-integration junction device. the each substrate of N-2 semiconductor device may be removed in an integration process.

[0021]

The 1st - the 3rd semiconductor device may contain the integrated circuit respectively formed on the substrate. One side of the substrate of the 1st and 2nd semiconductor devices may be removed after a junction process. The front face exposed by removal of a substrate is ground by about 5-10Å surface roughness, the front face of the 3rd semiconductor device is ground by about 5-10Å surface roughness, and the 3rd front face and ground-exposure front face of a semiconductor device may be joined.

[0022]

This approach may include the process which uses a substitute substrate as the 1st workpiece, the process which forms an integrated circuit on the 2nd substrate as the 2nd workpiece, the process which grinds the front face of the 1st substrate, the process which grinds the front face of an integrated circuit, and the process which joins the 1st substrate and integrated circuit again. The front face where the 2nd front face of an integrated circuit was ground, and the 2nd integrated circuit was formed on the 3rd substrate as the 3rd workpiece, and the 2nd integrated circuit was ground may be joined to the 1st integrated circuit.

[0023]

The 1st ingredient is formed on the front face of a substrate, and may be ground. The 2nd ingredient is formed on the surface of an integrated circuit, and may be ground. The 1st and 2nd ingredients may be formed in whenever [about 1 to 10 times the thickness of surface non-plane / of the front face of a substrate and an integrated circuit], respectively.

[0024]

This approach may include the process which grinds the thin film of the maximum upper layer of M thin film, in order to obtain the surface roughness of the process which forms M thin film on the 2nd ingredient in order to obtain the process which grinds the thin film of the maximum upper layer of N thin film in order to obtain the surface roughness of the process which forms N thin film on the 1st ingredient again in order to obtain the 1st workpiece, and a request, and the 2nd workpiece, and a

request. This approach may include either [at least] the process of the N thin films which grinds plurality at least, or the processes of the M thin films which grind plurality at least again.

[0025]

A substitute substrate may be used as the 1st workpiece. A stress relieving layer (stress relieving layer) may be formed on a substitute substrate. A thin film is formed on a stress relieving layer, and this thin layer may be ground in order to obtain desired surface roughness.

[0026]

This approach may include interconnecting a semiconductor device again. Make this connection between circuits or between each devices. Interconnecting two devices may include joining multilayer interconnect to one side of a device after two junction of a device.

[0027]

After junction of the 1st and 2nd semiconductor devices, one side of a substrate may be removed in order to expose a front face. This front face is ground and the 3rd semiconductor device may be joined to the ground exposure front face.

[0028]

A different technical semiconductor device and a different technical integrated circuit may be integrated.

[0029]

The method of following this invention may include joining the 1st semiconductor device which has the 1st substrate again to the 2nd semiconductor device which has the 2nd substrate, removing said a part of 1st semiconductor device, and exposing the remaining part of said 1st semiconductor device, and interconnecting said 1st and 2nd semiconductor devices.

[0030]

All substrates may be removed substantially. Flattening of the front face of the 1st and 2nd devices is carried out, and it may be joined. Interconnecting a device may include joining multilayer interconnect to one side of a device. It is joined to one side of a device, a substitute substrate is obtained, and a corresponding substrate may be removed. Another side of a device may be joined to the part exposed by removing a substrate.

[0031]

The 3rd device may be joined to the 1st and 2nd devices, and these three devices can interconnect. The substrate of the 3rd device may be removed before interconnect.

[0032]

The purpose of this invention has the 1st workpiece equipped with the 1st front face which has surface roughness again, and the 2nd workpiece equipped with each 2nd and 3rd front faces which have said surface roughness respectively, and may be attained by the junction device to which said 1st and 2nd front faces of each other are joined. The 3rd substrate has the 4th front face which has said surface roughness. The 3rd and 4th front faces of each other are joined. The 1st workpiece may contain the 1st thin ingredient arranged on the 2nd ingredient, and the 2nd workpiece may contain the 3rd thin ingredient arranged on the 4th ingredient, and the 3rd workpiece may contain the 5th thin ingredient arranged on the 6th ingredient. The front face of the 1st, 3rd, and 5th thin ingredients may include the 1st, 2nd, and 4th front faces, respectively.

[0033]

The thin 1st, 3rd, and 5th-ingredients of each may contain the ingredient which has high thermal conductivity and high specific inductive capacity, and may be chosen from the group which consists of silicon, diacid-ized silicon, and diamond-like silicon carbide. The 1st, 3rd, and 5th thin ingredients may have whenever [about 1 to 10 times the thickness of surface non-plane / of the 2nd 4th, and 6th ingredients], respectively. the 1st, 3rd, and 5th thin ingredients may contain the film of each plurality, two or more of the layers are alike, respectively, it sets, and the thin layer of the maximum upper layer may include the 1st, 2nd, and 4th front faces, respectively.

[0034]

The 1st, 2nd, and 3rd workpieces may contain the 1st, 2nd, and 3rd semiconductor devices, respectively.

The 1st, 2nd, and 3rd semiconductor devices may contain the 1st, 2nd, and 3rd integrated circuits, respectively. The 1st, 2nd, and 3rd semiconductor devices may contain the 1st to 3rd 2-D array of the device which is not connected. As for the 2nd and 3rd devices, all may be removed substantially [each of these substrates].

[0035]

The 1st workpiece may contain a substitute substrate and the 2nd and 3rd workpieces may contain a semiconductor device respectively. A substitute substrate may contain the 1st thin ingredient deposited on the 2nd ingredient, and the 1st ingredient includes the 1st front face in that case. A semiconductor device may contain the thin ingredient deposited on the integrated circuit, respectively, and this thin ingredient includes the 2nd and 3rd front faces, respectively. The 1st, 2nd, and 3rd thin ingredients may have whenever [about 1 to 10 times the thickness / the 2nd ingredient and / of surface non-plane / of an integrated circuit / two], respectively.

[0036]

The 1st workpiece may contain the stress relieving ingredient formed between the 1st thin ingredient, the 2nd ingredient and the 1st thin ingredient, and the 2nd ingredient, or the 2nd workpiece may contain the stress relieving ingredient formed between the 3rd thin ingredient, the 4th ingredient and the 3rd thin ingredient, and the 4th ingredient. The front face of the 1st and 3rd thin ingredients may include the 1st and 2nd front faces, respectively.

[0037]

The device according to this invention consists of layers of the 1st semiconductor device and two or more devices formed on the substrate removed partially at least again, and may contain the integration device which has the interconnect which connects the 2nd semiconductor device joined to said 1st semiconductor device, and said 1st and 2nd semiconductor devices.

[0038]

The 3rd semiconductor device which consists of layers of the device formed on the substrate which the 2nd device might contain said layer of two or more devices formed on the substrate removed substantially, and was removed partially at least may be joined to the 2nd device. This interconnect may include the multilayer interconnect joined to the 2nd device. The 1st device may contain the layer of the device formed on the substrate which was joined to the substitute substrate and removed substantially, and the 2nd device may contain the layer of the device formed on the substrate removed substantially. The 2nd and 3rd workpieces can be based on a different technique.

[0039]

Many advantages which accompany more perfect recognition and this more perfect of this invention will be immediately acquired by referring to the following easy explanation so that I may be understood better, when taken into consideration in relation to an attached drawing.

[0040]

Explanation of a desirable mode Here, drawing 1 explaining the 1st mode of the method of following a drawing, especially this invention and a device is referred to. A substrate 10 has the up front face 11 which has a certain surface flatness. A substrate 10 is a substitute substrate or an integrated-circuit wafer preferably. Whenever [non-plane / of the front face 11 shown in drawing 1] is for for the purpose of explanation, and is not to show an exact surface flatness condition. A substrate 10 is comparatively smooth preferably and has the flat front face 11. The smoothness and flatness of the request on the front face of up may be attained by grinding. Chemical-mechanical polish, i.e., CMP, is one means for reaching desired smoothness and flatness. A CMP process is optimized by suitable selection of a scouring pad, a polish slurry, and polish conditions in order to obtain desired surface roughness and flatness.

[0041]

On a front face 11, the film 12 which has bigger thickness than whenever [surface non-plane / of a front face 11] accumulates. The film 12 should have the thermal conductivity and the high specific inductive capacity which were excellent like SiO₂, diamond, or diamond-like carbon (DLC). The specific inductive capacity in the thermal conductivity in the range of 1 - 10 W/cmK and the range of 1-3 is

desirable. The range where the thickness of a film 11 is desirable is 1 to 10 times whenever [surface non-plane / of a film 11]. Subsequently, 5-15A of up front faces 13 of a film 13 is preferably ground by the flat front face which has 5-10A granularity. Since a smoother flat front face can raise the junction nature of a film, its flat front face which has $\leq 5A$ granularity is the most desirable.

[0042]

Moreover, it is also possible to deposit a film 12, to grind the up front face 13, to after that already deposit much more film (14 in drawing 2), to grind this 2nd film, and to attain the smoothness of the request on the front face of up (15 in drawing 2). It can be used in order to attain the surface roughness and flatness of a request of the film beyond three layers or it which repeated deposition and polish actuation to the upper film as opposed to each film at least.

[0043]

In this way, as for a substrate 10, the preparation for wafer junction is completed. What type of substrate may also be joined to a substrate 10. Reference of drawing 3 prepares a substrate 16 and the integrated-circuit wafer which contains an active element preferably by the same technique as a substrate 10 by forming the film 17 which has the exposure front face 18 which has the surface roughness in the same range as the front face 13 (or front face 15 of a film 14) of a film 12. More advanced flatness can promote a junction process further. A film 17 may be formed from one layer or the layer beyond it with the polish actuation beyond 1 time or it, as mentioned above. Front faces 18 and 12 are contacted mutually (drawing 3 is shown by the arrow head). Junction like the van der Waals junction is formed among front faces 18 and 13 (drawing 4). More powerful junction may be brought about by heating succeeding the substrate and film which were combined.

[0044]

The more desirable technique of junction is joining directly, without applying a pressure, an electrical potential difference, or temperature. If the up front face of SiO₂ assumes that it has sufficient thickness so that sufficient surface roughness and flatness may be obtained by CMP when a substrate has the up front face of SiO₂ (or other cementing materials), it is possible to grind the front face, without already depositing much more SiO₂ two-layer.

[0045]

Example In case the optimal heat packaging and dielectric ability are desired, the example which sticks a diamond substrate on an ingredient like GaAs, and InP or GaN is used for this example. By joining to the substrate of the ingredient which has high thermal conductivity, heat transfer can be dealt with more to fitness. After being prepared in order to join, a diamond substrate has a comparatively smooth up front face. Since a diamond substrate has a typical comparatively coarse front face, a comparatively smooth and flat up front face can be obtained by polish. Polish is expensive, it is difficult to obtain a very smooth front face consistently, and it obtains it. Moreover, a copper susceptor can also be formed on a diamond substrate. Typically, a diamond film will carry out "pop-off (pop-off)" of the copper susceptor after deposition, if temperature falls, and it leaves a coarse front face by the place where growth stopped the comparatively smooth and flat front face at the place where growth was started.

[0046]

The film of diacid-ized silicon accumulates on the crowning on the front face of up. Whenever [non-plane / on the front face of a diamond], it is also a twist and the diacid-ized silicon layer should have it as thinly as possible, although it should be thickly one to 10 times, however in order to optimize the engine performance. A diacid-ized silicon layer is ground after that to the suitable smooth front face for wafer junction, for example, $\leq 5A$. As for the diamond substrate which has a thin silicon layer, the preparation for wafer junction is completed in this way.

[0047]

At this time, what type formed also on what kind of type of substrate of device may also be joined to the front face of a diacid-ized silicon layer. For example, the heterojunction bipolar transistor (HBT) described by 165,203 the 09th/of the application serial number incorporated into this specification as reference may be used. HBT is processed until the preparation for this adhesion of a substitute substrate is completed, as shown in drawing 5. Typically, this may include the process which forms emitter

metallization, the process which performs base etching, the process which applies base metallization, the process which applies passivation / flattening level, and the process which applies a heat shunt (thermal shunt). In drawing 5, the collector layer 22, the flattening ingredient 21, a base region 23, the base contact 24, an emitter 25, and the emitter contact 26 are formed on the GaAs substrate 20. Although drawing 5 explains one device, it specifies that it is not what is restricted to this. The wafer or one integrated circuit containing some devices is also joinable with the same means.

[0048]

Much more diacid-ized silicon 27 already reaches in the crowning of the front face where flattening of the HBT was carried out to an extreme, and a film accumulates on it. The thickness of the diacid-ized silicon layer 27 is thicker than whenever [non-plane / of the front face where flattening of the HBT was carried out] (for example, one to 10 times), however it is as thin as possible in order to optimize the engine performance. The front face of the diacid-ized silicon layer 27 is ground to sufficient smoothness for wafer junction, for example, $\leq 5\text{\AA}$. Layers 27 and 12 are joined by approaching and arranging these after that. Actuation dried in order for these front faces to approach after a wet cleaning process, to arrange them preferably and to make a liquid discharge from between a layer 27 and layers 12 succeedingly is performed. The van der Waals junction is formed. More powerful junction may be brought about by heating the combined layers 27 and 12 succeedingly.

[0049]

After association, in case layers 12 and 27 are heated, the stress which brings a certain harmful effect to the device and substitute substrate which are formed may be produced. It is possible to form a stress relieving layer between a diamond substrate and a diacid-ized silicon layer and between HBT and the diacid-ized silicon layer 27. This is shown as films 28 and 29 in drawing 6. This stress relieving layer is the homogenous layer or compound layer which has an ingredient, i.e., Young's modulus, as this layer receives an operation of stress before other layers.

[0050]

Other films are also possible although the junction using the diacid-ized silicon film ground to desired surface roughness was explained. For example, silicon or DLC may also be used. In order to form a comp rye ANTO layer (compliant layer) in the case of silicon, oxygen may be poured into the bottom of each of those front face to a junctional zone. A comp rye ANTO layer is a layer equivalent to a stress relieving layer. For example, when the thermal conductivity which improved is desirable, it is desirable to use Si, SiC, or a DLC film to SiO₂ film.

[0051]

Moreover, in order to optimize specific inductive capacity, the heat conductivity, and resistivity, it is also possible to choose the passivation / flattening ingredient in the device joined to an active element by approaching. Especially, DLC is effective compared with other ingredients because of comparatively high thermal conductivity and low specific inductive capacity.

[0052]

As shown in drawing 5, the HBT device 14 is typically formed on a substrate 20. After joining a device to a substrate 10, a substrate 20 may be removed by polish or grinding, and processing like polish in order to use for rear-face contact.

[0053]

In the 2nd mode of this invention, 2D array of N of a device is mutually joined by repeating the approach described in the 1st mode N times. It begins from the junction device shown in drawing 7 (the HBT device is shown without showing a component detailed as 30); a substrate 20 is removed, and the exposure front face of a device 30 will be ground to the level of the convenient smoothness for wafer junction, if required. Polish and grinding may be used between removal of a substrate 20. The layer 31 of another diacid-ized silicon deposits on the exposure front face of a device 30, and is ground to desired surface roughness with the means mentioned above for layers 12 or 27 (drawing 8).

[0054]

The following wafer equipped with the substrate 34 which makes the detail of a device there be nothing and is shown in drawing 9 as 32 has the film 33 of the diacid-ized silicon formed on the front face of the

opposite side in a substrate 34. A film 33 is formed and ground with the same means as films 11, 27, and 31. A film 33 is joined to the exposure front face of a layer 31 after that. The device obtained as a result is shown in drawing 10 as a thing after removal of a substrate 34. The up front face of the 2nd junction device may be ground again, and is deposited for preparation of another diacid-ized silicon layer's 35 junction of the 3rd device. In order to manufacture N-accumulation device, N-time-do this. The device joined such can interconnect perpendicularly

[0055]

Example The example which joins two or more devices is shown in drawing 11 A, 11B, and 12-15. Drawing 11 A, 11B, and 12-15 show how a technique which is different in the ability to interconnect in order to form two or more wafers module with which they were accumulated [how it may be used in order that junction may accumulate 2D array of N of a device according to this invention; and] perpendicularly how may be combined.

[0056]

Drawing 11 A and 11B show two devices joined. In this example, the device of drawing 11 A and 11B is a different integrated-circuit wafer which has interconnect. In drawing 11 A, a symmetry genuineness HBT (SIHBT) wafer includes the flattening ingredient 41 formed on the SIHBT substitute substrate 40, and a substrate 40, the SIHBT device 43, and the interconnect 42 and 44 preferably formed from a metal. Drawing 11 B shows VCSEL which has the VCSEL substrate 45, the flattening ingredient 46, the VCSEL device 48, and the interconnect 47 and 49 similarly formed from a metal preferably. As shown in drawing 12, it is joined by the approach mentioned above, namely, an ingredient like diacid-ized silicon deposits the device of drawing 11 A and 11B on the up front face of each device, and it is ground to about 5-10A surface roughness after that. Advanced flatness is desirable again. The junction device is shown in drawing 12.

[0057]

Next, as shown in drawing 13, a substrate 40 is removed in order to expose interconnect 44. A beer hall 50 passes along the flattening ingredient 41, and in order to expose a part of interconnect 47, it is etched in the flattening ingredient 46. Although one beer hall 50 is shown, it must be understood that it may be formed in order to give the connection much whose beer fitted the device in two junction substrates.

[0058]

Interconnect 51 is formed in the beer hall 50 which interconnects devices 43 and 48. If this processing needs to join two wafers, it may be stopped at this time. If it is required to integrate one or the device beyond it further, this processing may be continued by forming the junctional zone 52 which consists of diacid-ized silicon behind ground to 5-10A surface roughness with the same means as ****. In this case, this processing includes the process which fills the cavity formed in interconnect 50, in order to manufacture the smooth front face of a layer 52 more easily. As shown in drawing 14 14, the preparation to which a device is joined to another wafer by request is prepared here.

[0059]

About the wafer of a different technique, the flattening ingredient is the same and is obtained. It is separated by the layer of a flattening ingredient and two different techniques do not interact. It is only that each interacts with a flattening ingredient. Since the property of a flattening ingredient is known well and it is generally used in the present processing, a new ingredient is not required in order to combine a technique. This invention offers the means which combines a different technique and which can be manufactured.

[0060]

Furthermore, it is generated when all caster my ZESHON is termination of processing. Both wafers are manufactured separately and joined after that. Interconnect is performed after junction. Caster my ZESHON of the combined technique is produced in the end of processing. It can obtain, if what kind of thing a required technique is, and those techniques may be commercially available easily. The need of designing a new process is eliminated. The further control to the last combination product is possible as written clearly, and manufacture, dependability, or more nearly prolonged information may be chosen for combination in the device produced by the process which can hardly be used, which is not new and

proper, and which combined and was stabilized unlike the process.

[0061]

Joining the 3rd wafer to the structure of drawing 14 is shown in drawing 15. Drawing 15 R> 5 specifies that it is a thing explaining the additional metallization 53 formed by etching the flattening ingredients 41 and 46 in order to expose a part of interconnect 60 of another device which has components 60-62. Interconnect 53 has the part which extended on the front face of the flattening ingredient 41, in order to promote interconnect on other level. In this case, the device in the 3rd wafer may be CMOS device 56 which has interconnect 55 and 57. In order for another beer to pass along the flattening ingredient 58, to etch it through a cementing material 52 and to connect it to interconnect 59, a part of interconnect 51 is exposed. Interconnect 59 is connected to the interconnect 55 of CMOS device 56 again. Another interconnect 54 is formed by etching beer through ingredients 58 and 52, in order to expose a part of interconnect 53. Interconnect 54 is formed so that interconnect 53 may be contacted. Although drawing 15 does not show clearly the junctional zone formed between devices, it specifies that it is for understanding that a device is formed using the process mentioned above in relation to the 1st mode.

[0062]

Moreover, it being clear from drawing 15 is that this invention uses the both sides of contact. For example, if the pad in the crowning of contact 51 is a contact pad or metal Rhine, after that, the pars-basilaris-ossis-occipitalis front face of a pad (or Rhine) will be connected to the interconnect 47 under a pad (or Rhine), and, on the other hand, the crowning of a pad (or Rhine) will be connected to the contact 59 which has lapped with interconnect 55. This may decrease a drive demand.

[0063]

Drawing 15 explains the advantage of this invention by which circuitry is not limited to one layer (or two-layer) again. This has the capacity designed to a three dimension. A circuit layout may be optimized if the capacity to separate a certain type or the device of a class from other devices which either a function or processing blocks or do not suit is given to this. Since it is used instead of a three dimension being two-dimensional, a circuit layout is minimized in a field. For example, the three same conventional chips of a field may be performed in the field of 1/3 by putting perpendicularly on the title which has an arbitrarily different technique. If the packaging demand to which each chips to the repeated chip decreased in number is also taken into consideration, the reduction in a field will become still larger. between the chip for the signal isolation by which it was improved between routing again putting perpendicularly -- or it leads to insertion of a ground (ground), bias, or other fields in a chip.

[0064]

Typically, in a system, a signal is amplified and is transmitted to the bus between integrated circuits after that. This needs the compensation over the various differences in the signal level between the components which complete a system in many level shifts, a bus, and a list. As one example, the pixel in a photodetection device receives the very small packet of the charge behind shifted from a device to a memory device. Both the photodetection devices and memory in this case may be separate integrated circuits, and need magnification of a charge packet through the buffer and system bus between a pixel and a memory device. In order to store the information on the memory cell in a memory device after that, the down shift of the signal level is carried out. When the information in memory needs to be processed, in order to transmit data to the processor which may be formed after that using another integrated circuit, the level shift of the information is again carried out using much more buffers and system buses.

[0065]

This invention makes it possible to acquire the communication link to a component from a component, and the address movability. The power level of current and a signal may be determined by interconnect, i.e., a system bus, and not a driver but the component. As shown by drawing 16 A - 16D as an example, the 1st integrated circuit which consists of an array of the pixel which detects a lightwave signal etc. is produced on the 1st substrate (drawing 16 A). By the simplified approach, a pixel 72 is formed in the semi-conductor layer 71 formed on the substrate 70. The memory device needed in order to store this information on the 2nd substrate, when information is shifted from a pixel array is produced, and this is

shown in drawing 16 B. The semi-conductor layer 74 is formed on a substrate 73. A memory cell 75 is formed in a layer 74. It is manufactured on the 3rd substrate the processor device for processing information is finally indicated to be to drawing 16 C. The various components 78 are shown to the layer 77 formed on a substrate 76 (with simplified gestalt). Each substrate of each other is joined after that (pixel array which is in a crowning in order to expose it in light).

[0066]

Three substrates of each other may be joined. A substitute substrate (not shown) may be attached in the up front face and the substrate 70 removed of a layer 71 using the technique mentioned above. The up front face of the layer 74 of a memory device is joined to the front face exposed by removing a substrate 70 after that. A substrate 73 may be removed after that and the up front face of a layer 77 is joined to the front face exposed by removing a substrate 73. A substitute substrate may be removed in order to expose a pixel 72. Interconnect is made directly among three substrates with an above-mentioned means, and removes many buffers needed since a system is interconnected when a system is designed using a separate accumulation device, and the need for a system bus. The joined circuit is shown in drawing 16 D. Drawing 16 D should not explain the various layers used in order to join a different device, and should specify that it is the thing which may be removed between removal of the substrate to which a part of layers 71, 74, and 77 correspond by request and which gives thing explanation.

[0067]

Another example is a typical microprocessor by which a lot of storage is accessed through the system bus on another RAM on the other hand including the loading ROM of an amount with a microprocessor. In this case, the processor which has Loading ROM may be produced on the 1st substrate, and memory may be produced on the 2nd substrate. Two substrates of each other are joined, a processor is joined to a direct memory device and the need for a system bus, a level shifter, and other buffers is eliminated also here.

[0068]

It is compacter and this invention not only enables system production with an accessible means directly, but makes a smaller footprint possible. If the chip of the almost same magnitude is assumed respectively, the separate device mentioned above will take the tooth space of one at least 3 times the amount of this as compared with this invention on which they are accumulated mutually.

[0069]

The 4th mode of this invention uses the technique mentioned above in order to make interconnect apart from a lower integrated circuit. Typically, a circuit needs the level of much interconnect, in order to offer all the complex functions needed. Interconnect of the level beyond 6 or it may be needed. This needs a significant quantity of heat processing, exposes the active element which is downward to a higher thermal budget, and complicates a production process. This invention may be used in order to produce an active element separately, and it forms the layer of interconnect by joining after that according to this invention. It may be formed in a separate substrate, and is joined mutually after that, and especially each level of interconnect can interconnect if needed. Some of interconnect layers or all may be produced at a time. Or it was joined mutually, the single substrate which interconnected may be joined to the substrate which has an active element after that. The technique mentioned above since a different wafer shown in drawing 15 was interconnected, and the same technique may be used. The stack of the layer which interconnected may be joined to an active element at the time of termination.

[0070]

This is illustrated by drawing 17 A and 17B, the stack of the interconnect which has the layers 80-83 shown in drawing 17 A is joined according to the principle of this invention, and this is joined to the integrated circuit shown in drawing 16 R>6B or drawing 16 C after that. Drawing 17 B shows the completed device which has the layer used in the junction process omitted for clear-izing. In this case, the substrate of an integrated circuit is removed and may be joined to a more desirable heat ingredient like diamond-like carbon. The closer processing control without the need of making compensation or a compromise by this mode about the effects of various of the thermal budget which increased by multilayer typical processing of interconnect of the integrated circuit in the crowning of an active

element can be obtained.

[0071]

Another application of this invention is selection of an interconnect layer. Since it is possible to process interconnect separately, the flexibility of a design is acquired more and it gets. For example, a specific layer which deals with a high speed signal is more important than other layers, and is obtained. Important level may be mutually separated by the layer which is not important for others, in order to make duplication into the minimum. On the contrary, an unimportant layer can be prepared in the adjoining layer, when duplication does not pose a problem to the high-speed activity of a device.

[0072]

The substrate of an integrated circuit may be completely removed in the upper mode so that clearly from the upper mode. Consequently, it becomes the 2-D array of the device component embedded into the insulating flattening ingredient. This one example is shown in drawing 18. Each component is completely isolated from the 2-D arrays of all other components; i.e., the device of a circuitry layer and the opposite side. The 2nd wafer joined may be processed similarly and gives the 2-D array of another device component. The array of a device can interconnect with a desired means, in order to create a circuit, a sub circuit, etc. after that.

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Each 1st front face of the 1st, 2nd, and 3rd workpieces is respectively ground to desired surface roughness.

Said 1st front face of said 1st and 2nd workpieces is joined mutually.

One 2nd front face of said 1st and 2nd workpieces is ground to said surface roughness after junction.; it reaches. How to integrate the workpiece including joining said 1st front face of said 3rd workpiece to said 2nd ground front face which has the 1st front face and the 2nd front face of the opposite side respectively.

[Claim 2] In order to obtain said 1st workpiece, the 1st thin ingredient is formed on the 2nd ingredient.;

In order to obtain said 2nd workpiece, the 3rd thin ingredient is formed on the 4th ingredient.;

In order to obtain said 3rd workpiece, the 5th thin ingredient is formed on the 6th ingredient.; it reaches. Approach including grinding said 1st, 3rd, and 5th ingredients as a process which grinds said 1st front face according to claim 1.

[Claim 3] An approach including forming said 1st, 3rd, and 5th ingredients respectively from the ingredient which has high thermal conductivity and high specific inductive capacity according to claim 2.

[Claim 4] An approach including forming said 1st, 3rd, and 5th ingredients chosen from the group which consists of diacid-ized silicon, silicon, and diamond-like carbon according to claim 2.

[Claim 5] Said 1st ingredient is formed to whenever [about 1 to 10 times the thickness of surface non-plane / of said 2nd ingredient].;

Said 3rd ingredient is formed to whenever [about 1 to 10 times the thickness of surface non-plane / of said 4th ingredient].;

An approach including forming said 5th ingredient to whenever [about 1 to 10 times the thickness of surface non-plane / of said 6th ingredient] according to claim 2.

[Claim 6] The 1st semiconductor device is formed on the 1st substrate as said 1st workpiece.;

The 2nd semiconductor device is formed on the 2nd substrate as said 2nd workpiece.; it reaches.

Approach including forming the 3rd semiconductor device on the 3rd substrate as said 3rd workpiece according to claim 1.

[Claim 7] The 1st ingredient is formed on the up front face of said 1st semiconductor device.;

The 2nd ingredient is formed on the up front face of said 2nd semiconductor device.;

Each of said 1st and 2nd ingredients is ground to said surface roughness.; it reaches. Approach including joining said ingredient with which the 1st and the 2nd were ground according to claim 6.

[Claim 8] After joining said 1st and 2nd workpieces, one [said] exposure front face of said 1st and 2nd semiconductor devices is ground to said surface roughness.;

The 3rd ingredient is formed on said 3rd semiconductor device.;

Said 3rd front face is ground to said surface roughness.; it reaches. Approach including joining said 3rd ground front face and said ground exposure front face according to claim 6.

[Claim 9] After joining said 1st and 2nd workpieces, one [said] exposure front face of said 1st and 2nd

semiconductor devices is ground to said surface roughness.;

The workpiece of N-2 (integer for which N has the value of at least 3 here) which has the semiconductor device respectively formed on the substrate is formed.;

grinding-to each aforementioned surface roughness-front face of said workpiece of N-2;-- and -- The approach according to claim 6 of including joining said semiconductor device of N-2 to said 1st and 2nd joined semiconductor devices, in order to obtain N-accumulation junction device.

[Claim 10] The approach according to claim 9 of including removing each substrate of said workpiece of N-2, after joining said each substrate.

[Claim 11] Said 1st substrate is used as said 1st workpiece.;

The 1st integrated circuit is formed on the 2nd substrate as said 2nd workpiece.;

The 1st front face of said 1st substrate is ground to said surface roughness.;

The 2nd front face of said integrated circuit is ground to said surface roughness.;

Said 1st and 2nd front faces are joined.;

The 2nd integrated circuit is formed on the 3rd substrate as said 3rd workpiece.;

The 3rd front face of said integrated circuit is ground to said surface roughness.;; it reaches. Approach including joining said 3rd front face to said 2nd workpiece according to claim 1.

[Claim 12] The 1st ingredient is formed on the front face of said 1st substrate.;

Said 1st ingredient is ground to said surface roughness.;

The 2nd and 3rd ingredients are formed on each front face of said 1st and 2nd integrated circuits.;; it reaches. Approach including grinding said 2nd and 3rd ingredients to said surface roughness according to claim 11.

[Claim 13] forming-to whenever [about 1 to 10 times the thickness of surface non-plane / of said front face of said 1st substrate]-said 1st ingredient; -- and -- Approach including forming said 2nd and 3rd ingredients to whenever [about 1 to 10 times the thickness of surface non-plane / of each front face of the 1st and 2nd integrated circuits of the each above] according to claim 12.

[Claim 14] An approach including using the substitute substrate chosen from the group which consists of diamond and diamond-like carbon and carbonization silicon as said 1st workpiece according to claim 11.

[Claim 15]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

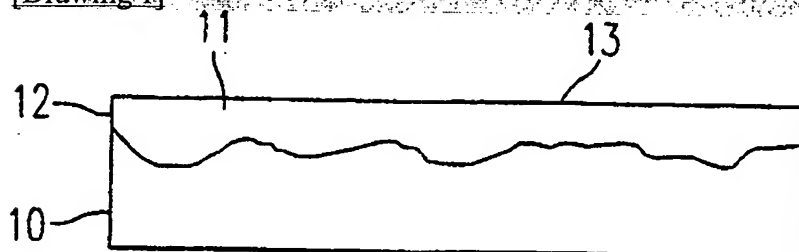


FIG. 1

[Drawing 2]

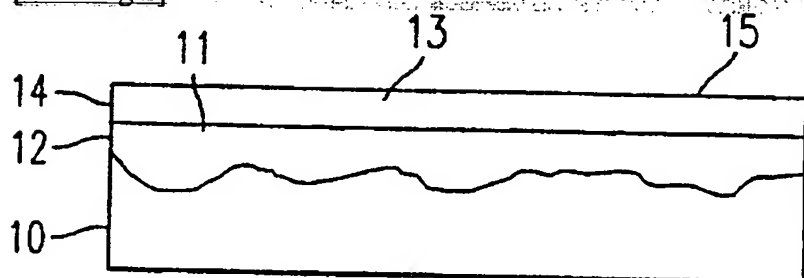
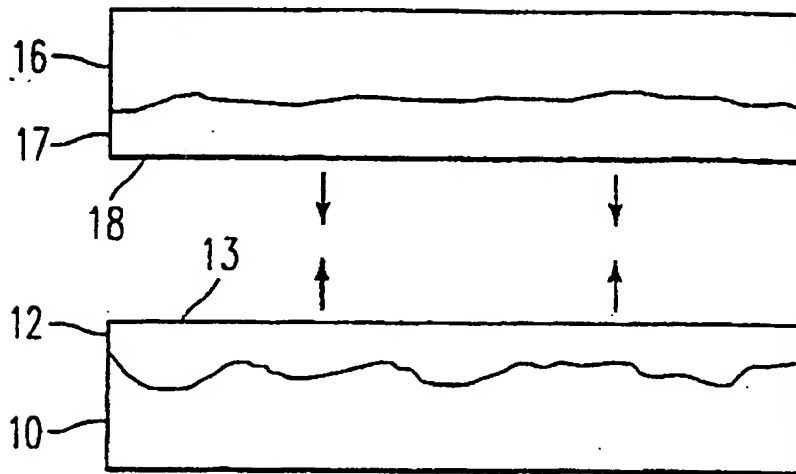
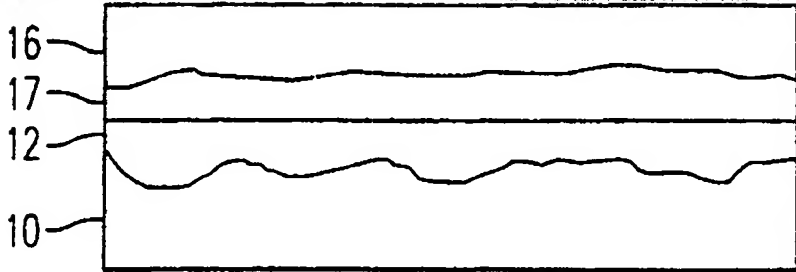


FIG. 2

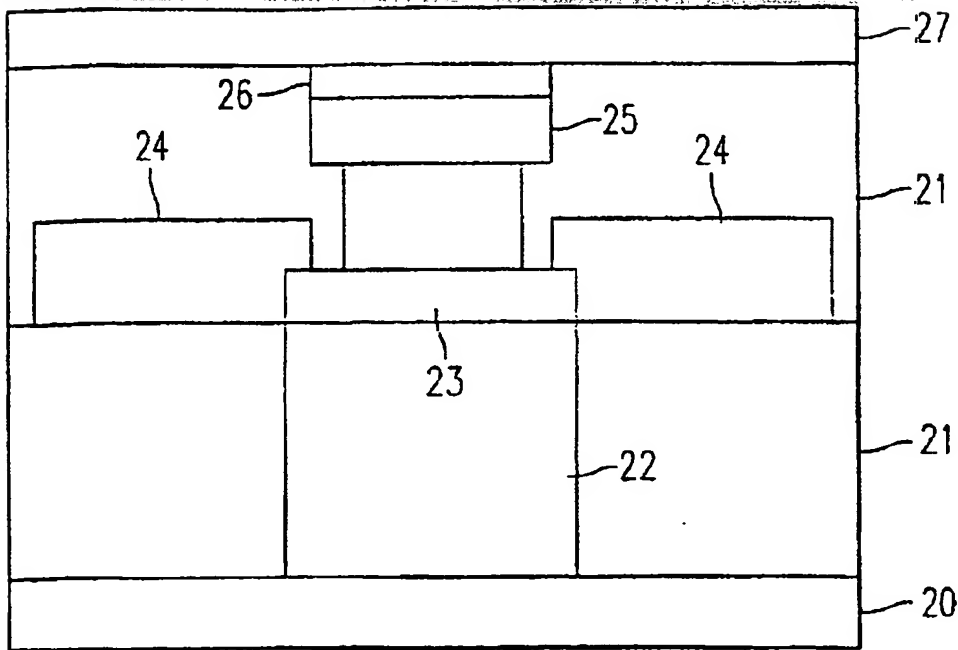
[Drawing 3]

*FIG. 3*

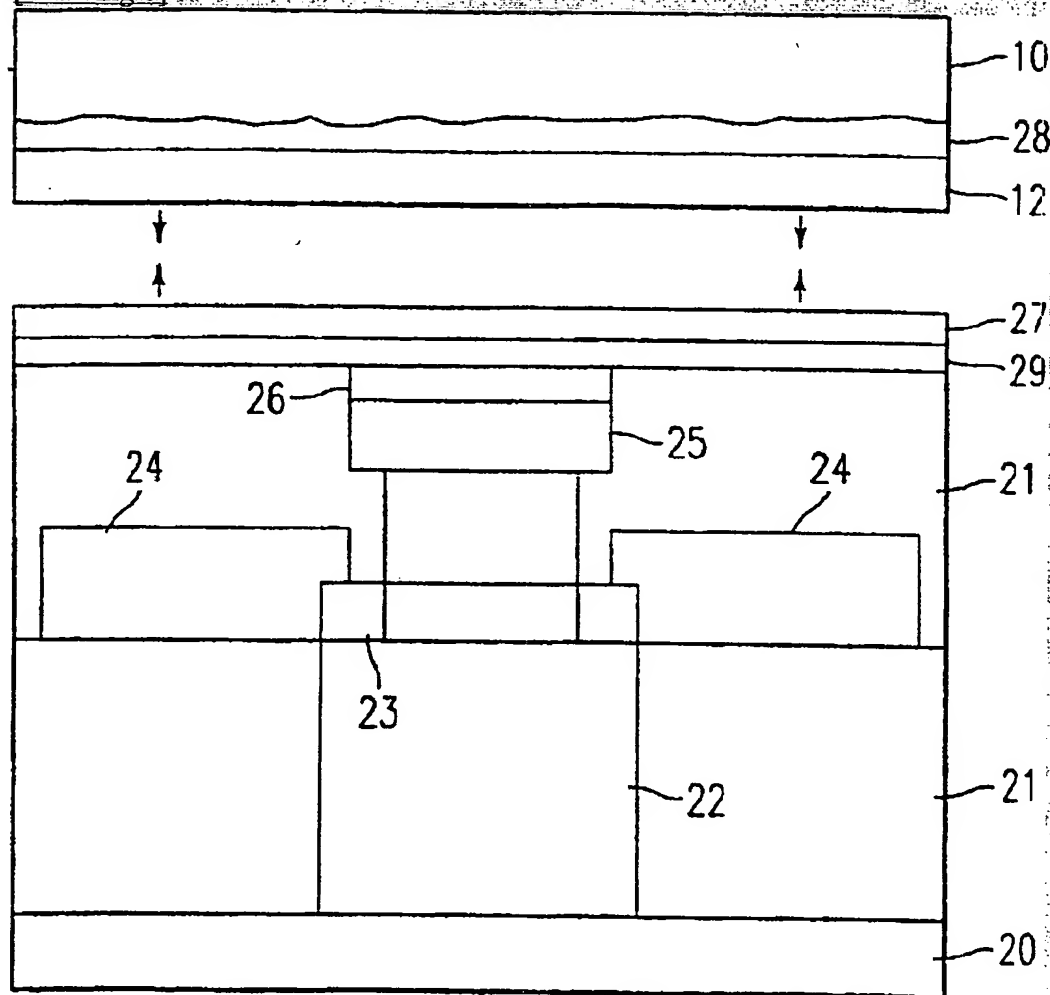
[Drawing 4]

*FIG. 4*

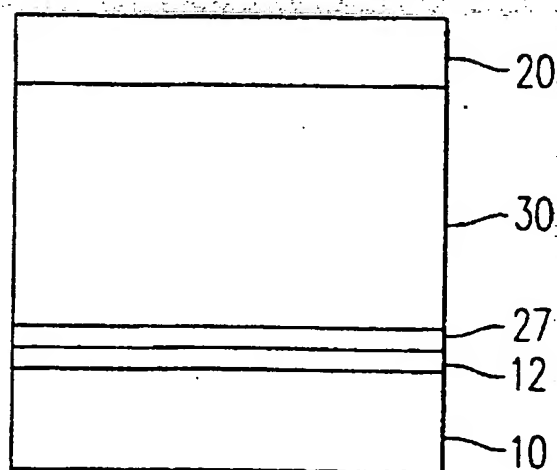
[Drawing 5]

*FIG. 5*

[Drawing 6]

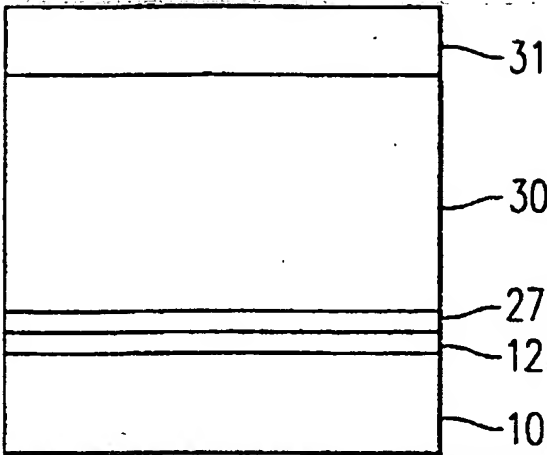
**FIG. 6**

[Drawing 7]

FIG. 7

[Drawing 8]

FIG. 8



[Drawing 9]

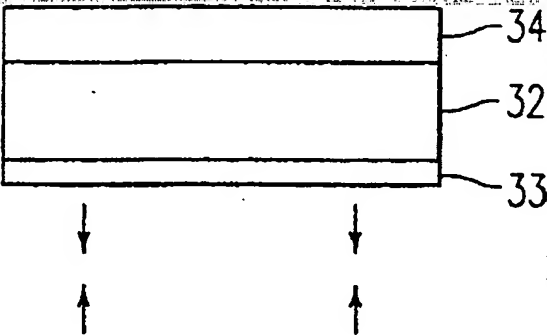
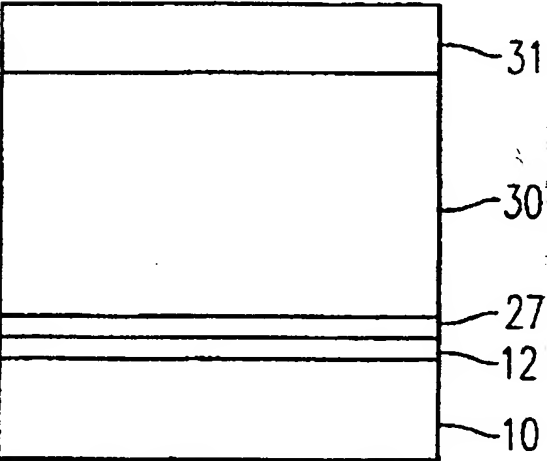
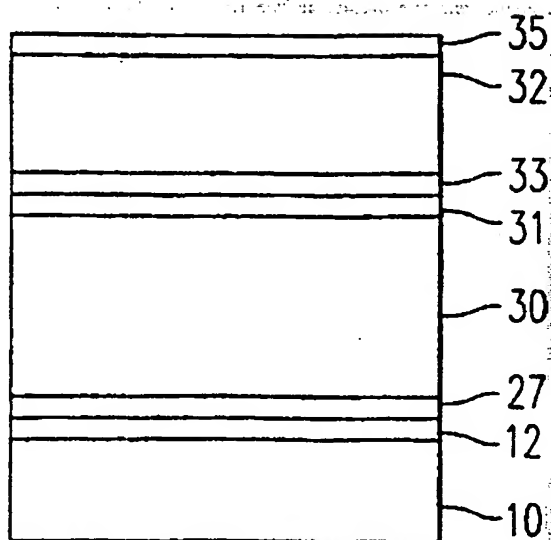


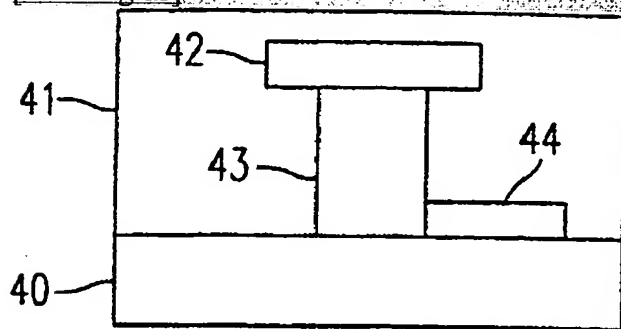
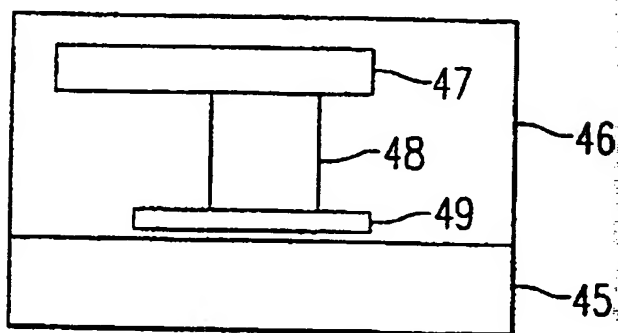
FIG. 9



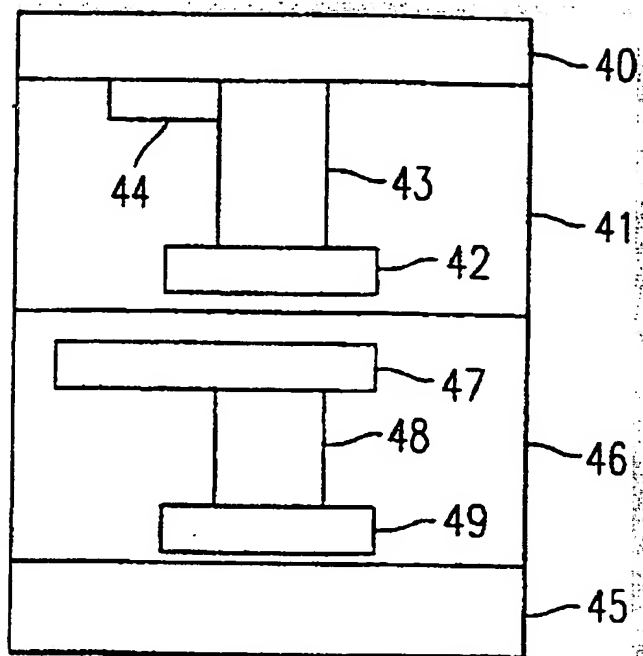
[Drawing 10]

FIG. 10

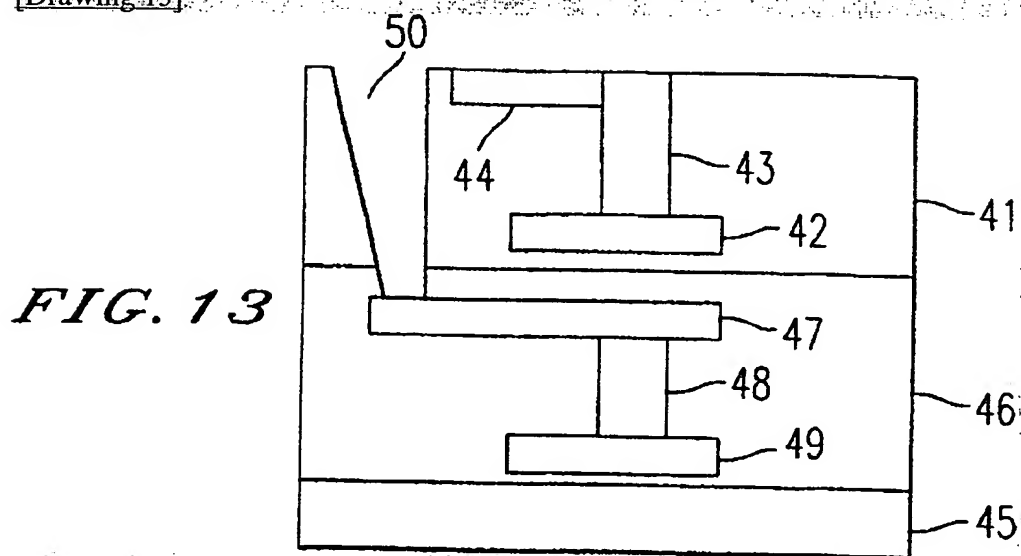
[Drawing 11]

*FIG. 11A**FIG. 11B*

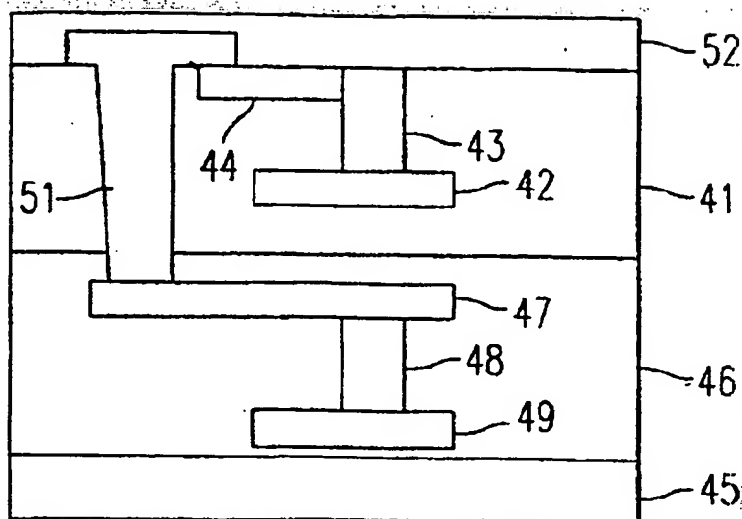
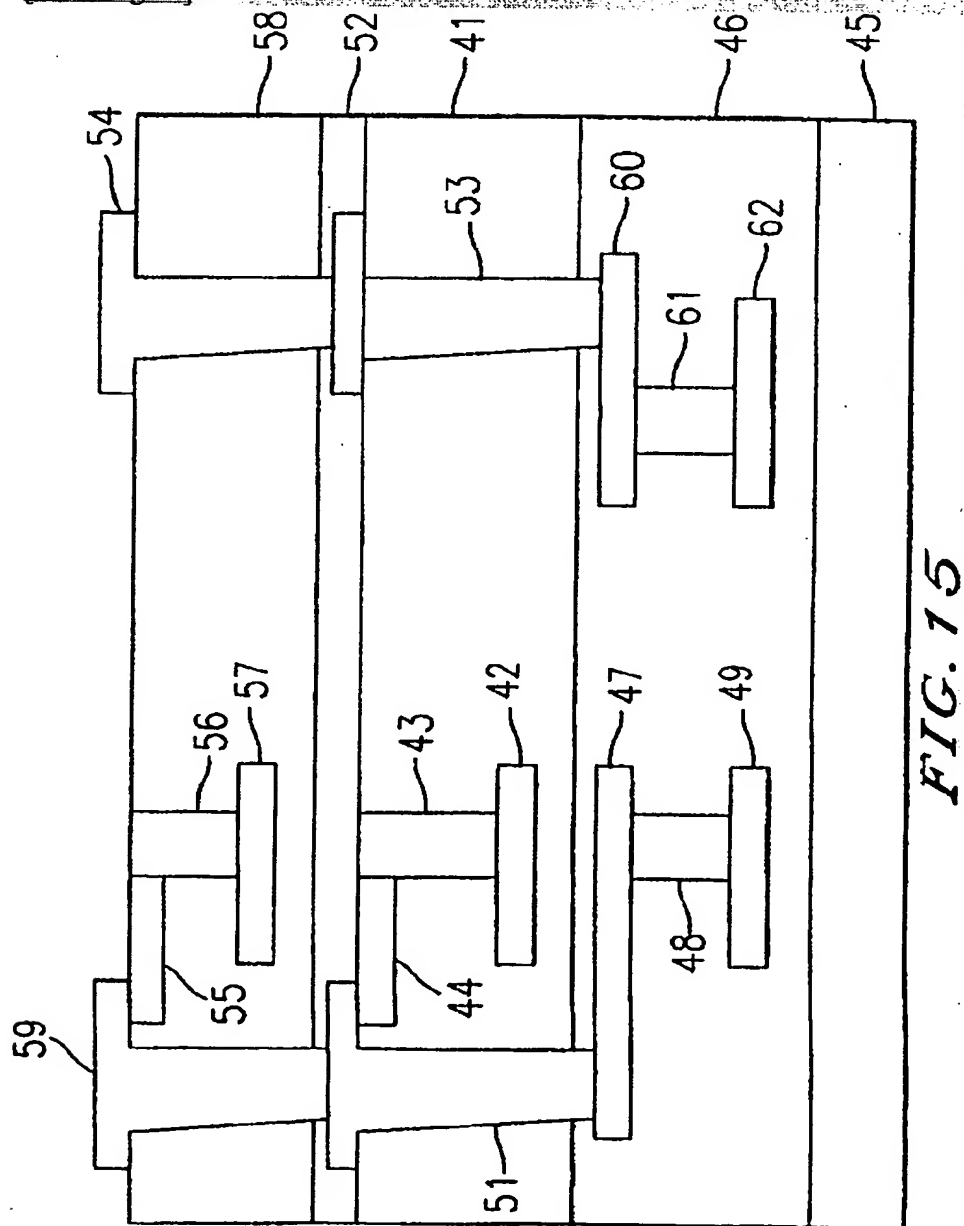
[Drawing 12]

**FIG. 12**

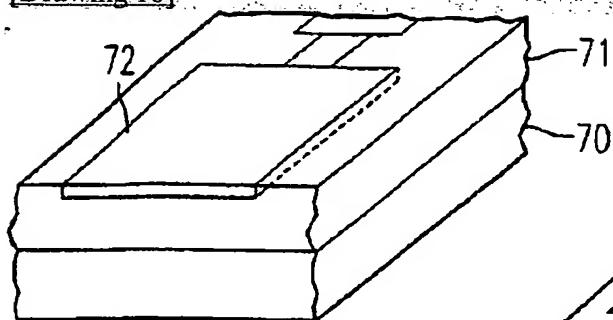
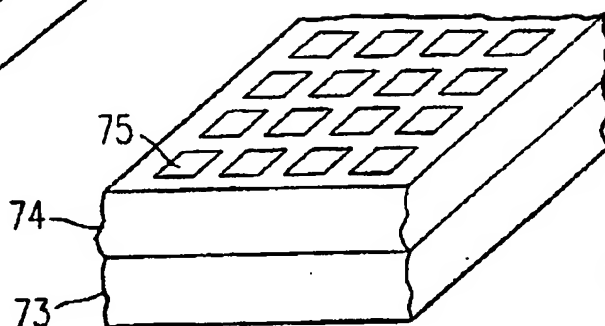
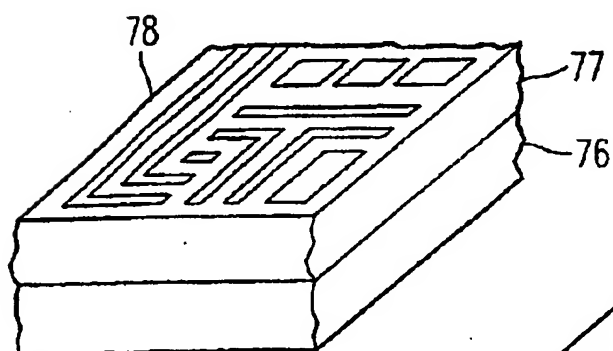
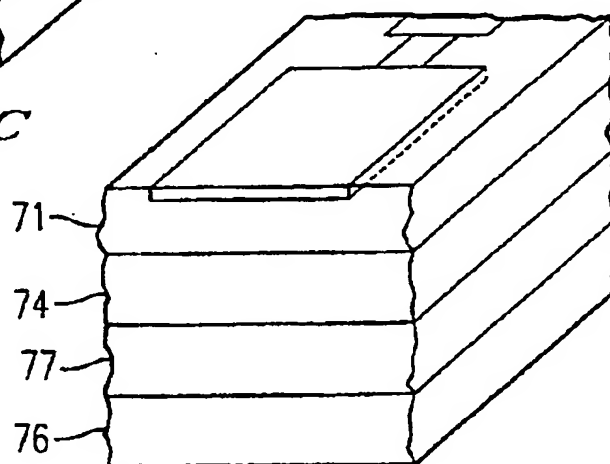
[Drawing 13]

**FIG. 13**

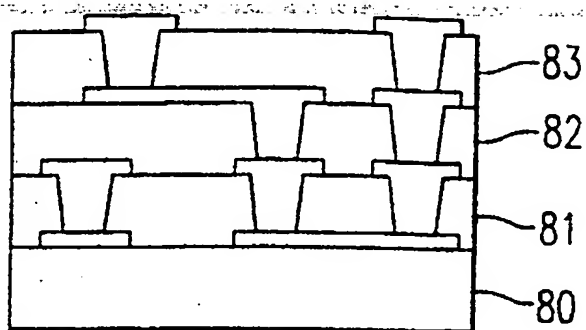
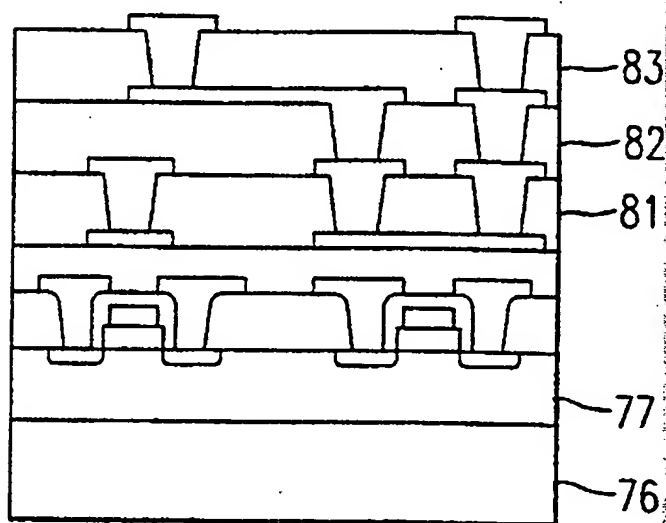
[Drawing 14]

FIG. 14[Drawing 15]*FIG. 15*

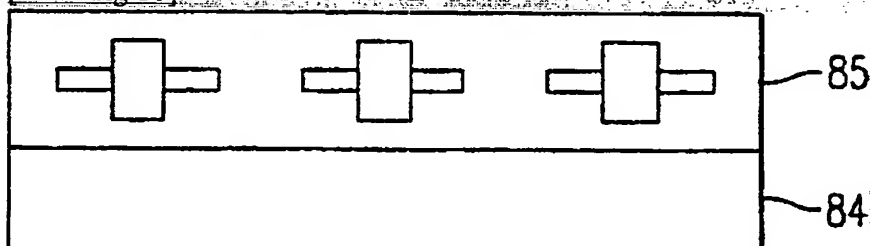
[Drawing 16]

*FIG. 16A**FIG. 16B**FIG. 16C**FIG. 16D*

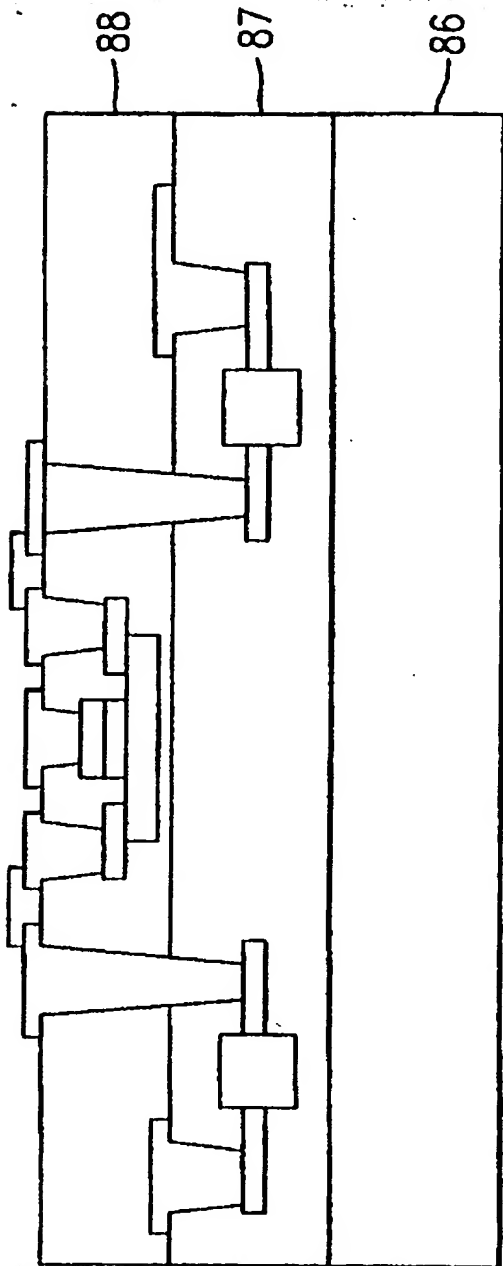
[Drawing 17]

*FIG. 17A**FIG. 17B*

[Drawing 18]

*FIG. 18*

[Drawing 19]

*FIG. 19*

[Translation done:]

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号
特表2003-524886
(P2003-524886A)

(43) 公表日 平成15年8月19日(2003.8.19)

(51) Int.Cl. ¹	識別記号	P I	フィート* (参考)
H 0 1 L 27/00	3 0 1	H 0 1 L 27/00	3 0 1 B 5 F 0 0 3
21/02		21/02	B 5 F 0 3 8
21/331		27/04	A 5 P 0 4 8
21/822		29/72	H
21/8234		27/08	3 2 1 G
審査請求 未請求 予備審査請求 有 (全 53 頁) 最終頁に続く			

(21) 出願番号 特願2001-529008(P2001-529008)
 (86) (22) 出願日 平成12年9月29日(2000.9.29)
 (85) 翻訳文提出日 平成14年4月1日(2002.4.1)
 (86) 国際出願番号 P C T / U S 0 0 / 2 1 9 9 0
 (87) 国際公開番号 W O 0 1 / 0 2 6 1 3 7
 (87) 国際公開日 平成13年4月12日(2001.4.12)
 (31) 優先権主張番号 0 9 / 4 1 0 , 0 5 4
 (32) 優先日 平成11年10月1日(1999.10.1)
 (33) 優先権主張国 米国 (US)

(71) 出願人 シブトロニクス・インコーポレイテッド
 アメリカ合衆国、ノース・カロライナ州
 27709 リサーチ・トライアングル・パー
 ク、コーンウォリス・ロード 3040、ハー
 パート 147

(72) 発明者 エンクウイスト、ポール・エム
 アメリカ合衆国、ノースカロライナ州
 27513 カーリー、フレンチマンズ・ブラ
 フ・ドライブ 303

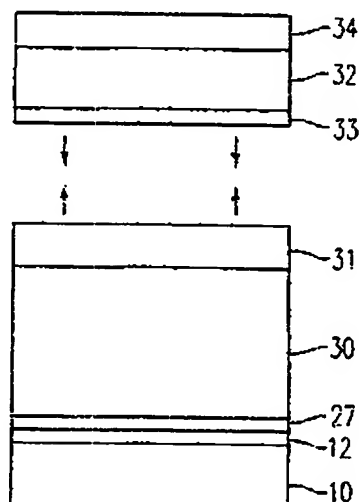
(74) 代理人 弁理士 錦江 武彦 (外3名)

最終頁に続く

(54) 【発明の名称】 3次元デバイスの集積化方法および集積デバイス

(57) 【要約】

デバイス集積化方法および集積デバイス。本方法は、第1および第2の加工物の表面を各々約5〜10 Åの表面粗さまで研磨する工程を含む。第1および第2の加工物の研磨された表面は、互いに接合される。第3の加工物の表面は、前記表面粗さまで研磨される。第3の加工物の表面は、第1および第2の加工物に接合される。第1、第2および第3の加工物は、各々好ましくはウエハ形態にある1つの表面上に形成される薄い材料を有する半導体デバイスであり得る。薄い材料は、所望の表面粗さまで研磨され、その後、互いに接合される。薄い材料は、各々この薄い材料が上に形成される材料の表面非平面度の約1〜10倍の厚さを有する。多数のデバイスが互いに接合され得、デバイスは、異なるタイプのデバイスまたは異なる技術であり得る。



(2)

特表2003-524886

【特許請求の範囲】

【請求項1】 第1、第2および第3の加工物のそれぞれの第1の表面を各々所望の表面粗さまで研磨すること；

前記第1および第2の加工物の前記第1の表面を互いに接合すること；

接合後、前記第1および第2の加工物の一方の第2の表面を前記表面粗さまで研磨すること；および

前記第3の加工物の前記第1の表面を前記研磨された第2の表面に接合すること

を含む各々第1の表面およびその反対側の第2の表面を有する加工物を集積化する方法。

【請求項2】 前記第1の加工物を得るために第2の材料上に薄い第1の材料を形成すること；

前記第2の加工物を得るために第4の材料上に薄い第3の材料を形成すること；

前記第3の加工物を得るために第6の材料上に薄い第5の材料を形成すること；
および

前記第1の表面を研磨する工程として前記第1、第3および第5の材料を研磨すること

を含む請求項1記載の方法。

【請求項3】 高い熱伝導率および高い比誘電率を有する材料から各々前記第1、第3および第5の材料を形成することを含む請求項2記載の方法。

【請求項4】 二酸化シリコン、シリコンおよびダイヤモンド状炭素からなる群より選択される前記第1、第3および第5の材料を形成することを含む請求項2記載の方法。

【請求項5】 前記第1の材料を前記第2の材料の表面非平面度の約1～10倍の厚さまで形成すること；

前記第3の材料を前記第4の材料の表面非平面度の約1～10倍の厚さまで形成すること；

前記第5の材料を前記第6の材料の表面非平面度の約1～10倍の厚さまで形

(3)

特表2003-524886

成すること

を含む請求項2記載の方法。

【請求項6】 前記第1の加工物として第1の基板上に第1の半導体デバイスを形成すること；

前記第2の加工物として第2の基板上に第2の半導体デバイスを形成すること；および

前記第3の加工物として第3の基板上に第3の半導体デバイスを形成することを含む請求項1記載の方法。

【請求項7】 前記第1の半導体デバイスの上部表面上に第1の材料を形成すること；

前記第2の半導体デバイスの上部表面上に第2の材料を形成すること；

前記第1および第2の材料の各々を前記表面粗さまで研磨すること；および

前記第1および第2の研磨された材料を接合すること

を含む請求項6記載の方法。

【請求項8】 前記第1および第2の加工物を接合した後、前記第1および第2の半導体デバイスの前記一方の露出表面を前記表面粗さまで研磨すること；

前記第3の半導体デバイス上に第3の材料を形成すること；

前記第3の表面を前記表面粗さまで研磨すること；および

前記研磨された第3の表面と前記研磨された露出表面とを接合すること

を含む請求項6に記載の方法。

【請求項9】 前記第1および第2の加工物を接合した後、前記第1および第2の半導体デバイスの前記一方の露出表面を前記表面粗さまで研磨すること；

各々基板上に形成された半導体デバイスを有するN-2（ここで、Nは、少なくとも3の値を有する整数）の加工物を形成すること；

前記N-2の加工物の表面を各々前記表面粗さまで研磨すること；および

N-集積接合デバイスを得るために、前記N-2の半導体デバイスを前記接合された第1および第2の半導体デバイスに接合すること

を含む請求項6記載の方法。

【請求項10】 前記それぞれの基板を接合した後、前記N-2の加工物の

(4)

特表2003-524886

それぞれの基板を除去することを含む請求項9記載の方法。

【請求項11】 前記第1の加工物として前記第1の基板を使用すること；

前記第2の加工物として第2の基板上に第1の集積回路を形成すること；

前記第1の基板の第1の表面を前記表面粗さまで研磨すること；

前記集積回路の第2の表面を前記表面粗さまで研磨すること；

前記第1および第2の表面を接合すること；

前記第3の加工物として第3の基板上に第2の集積回路を形成すること；

前記集積回路の第3の表面を前記表面粗さまで研磨すること；および

前記第3の表面を前記第2の加工物に接合すること

を含む請求項1記載の方法。

【請求項12】 前記第1の基板の表面上に第1の材料を形成すること；

前記第1の材料を前記表面粗さまで研磨すること；

前記第1および第2の集積回路のそれぞれの表面上に第2および第3の材料を形成すること；および

前記第2および第3の材料を前記表面粗さまで研磨すること

を含む請求項11記載の方法。

【請求項13】 前記第1の材料を前記第1の基板の前記表面の表面非平面度の約1～10倍の厚さまで形成すること；および

前記第2および第3の材料を各々前記第1および第2の集積回路のそれぞれの表面の表面非平面度の約1～10倍の厚さまで形成すること

を含む請求項12記載の方法。

【請求項14】 前記第1の加工物としてダイヤモンド、ダイヤモンド状炭素、および炭化シリコンからなる群より選択される代理基板を使用することを含む請求項11記載の方法。

【請求項15】 前記第1の加工物を得るために前記第1の材料上にNの薄層フィルムを形成すること；

前記Nの薄層フィルムの最上部の1層を前記表面粗さまで研磨すること；

前記第2の加工物を得るために前記第2の材料上にMの薄層フィルムを形成すること；および

(5)

特表2003-524886

前記Mの薄層フィルムの最上部の1層を前記表面粗さまで研磨すること
を含み、NおよびMは、各々少なくとも2の値を有する整数である請求項1記載
の方法。

【請求項16】 前記Nの薄層フィルムの少なくとも複数を研磨すること；
および

前記Mの薄層フィルムの少なくとも複数を研磨すること
の少なくともいずれか一方を含む請求項15記載の方法。

【請求項17】 前記第1の加工物として代理基板を使用すること；
前記代理基板上に応力除去層を形成すること；
前記応力除去層上に薄層フィルムを形成すること；および
前記薄層フィルムを前記表面粗さまで研磨すること
を含む請求項1記載の方法。

【請求項18】 前記第1の加工物を得るために材料上に薄いシリコンフィ
ルムを形成すること；
前記第1の薄層の表面に酸素を注入すること；および
前記第1の薄いシリコンを前記表面粗さまで研磨すること
を含む請求項1記載の方法。

【請求項19】 前記それぞれの第1の表面および前記第2の表面を所望の
平面度まで研磨することを含む請求項1記載の方法。

【請求項20】 前記第1から第3の半導体デバイスの表面を所望の平面度
まで研磨することを含む請求項6記載の方法。

【請求項21】 前記第1の加工物に第1の半導体デバイスを形成すること
；
前記第2の加工物に第2の半導体デバイスを形成すること；および
前記第1および第2の加工物を接合した後、前記第1および第2の半導体デバ
イスを相互接続すること
を含む請求項1記載の方法。

【請求項22】 前記第1および第2の半導体デバイスにあるそれぞれの個
々のデバイス間を相互接続することを含む請求項21記載の方法。

(6)

特表2003-524886

【請求項23】 前記第1および第2の半導体デバイスにあるそれぞれの回路間を相互接続することを含む請求項21に記載の方法。

【請求項24】 前記第3の加工物として第3の半導体デバイスを形成すること；および

前記第1、第2および第3の半導体デバイスを相互接続することを含む請求項21記載の方法。

【請求項25】 それぞれの基板上に $N-3$ （ここで、 N は、少なくとも4の値を有する整数）の半導体デバイスを形成すること；

前記 $N-3$ のデバイスと前記第1、第2および第3の加工物とを接合すること；および

前記 N のデバイスを相互接続することを含む請求項24記載の方法。

【請求項26】 前記第1および第2の半導体デバイスを接合した後、前記第1および第2の半導体デバイスの一方の基板を除去すること；

前記除去する工程により露出された表面を前記表面粗さまで研磨すること；

前記第3の半導体デバイスを前記露出表面に接合すること；および

前記第3の半導体デバイスの基板を除去することを含む請求項24記載の方法。

【請求項27】 前記第1、第2および第3の半導体デバイスを相互接続することが、多層相互接続を前記第3の半導体デバイスに接合することを含む請求項26記載の方法。

【請求項28】 前記第1および第2の加工物として第1および第2の半導体デバイスを形成すること；

前記第3の加工物として多層相互接続を形成すること；および

前記多層相互接続を使用して前記第1および第2の半導体デバイスを相互接続すること

を含む請求項1記載の方法。

【請求項29】 前記第1、第2および第3の加工物としてそれぞれ第1、第2および第3の半導体デバイスを形成すること；

(7)

特表2003-524886

多層相互接続を形成すること；

前記相互接続を前記第1、第2および第3の加工物に接合すること；および

前記相互接続を使用して前記第1、第2および第3の半導体デバイスを相互接続すること

を含む請求項1記載の方法。

【請求項30】 前記第1、第2および第3の加工物として電気システムの第1、第2および第3の部品をそれぞれ形成すること；および

前記第1、第2および第3の部品を相互接続すること

を含む請求項1記載の方法。

【請求項31】 前記相互接続する工程が、多層相互接続を前記加工物の1つに接合することを含む請求項30記載の方法。

【請求項32】 各前記第1および第2の加工物として未接続のデバイスの2次元アレーを基板内に形成すること；および

前記第1のデバイスを前記第2のデバイスに接続すること

を含む請求項1記載の方法。

【請求項32】 前記第1の加工物として高い熱伝導率の基板を形成すること；

各前記第2および第3の加工物として未接続のデバイスの2次元アレーを基板内に形成すること；および

前記第1のデバイスおよび前記第2のデバイスを相互接続すること

を含む請求項1記載の方法。

【請求項33】 前記第2および第3の加工物が異なる技術のものであることを含む請求項32記載の方法。

【請求項34】 各々前記第1および第2の加工物が、CMOS、BiCMOS、npnおよびpnphBT、VCSEL、PIN、HFET、MESFET、MOSFET、およびJFETからなる群より選択される技術を含む請求項33記載の方法。

【請求項35】 第1の技術を用いる半導体デバイスとして前記第1の加工物を形成すること；および

(8)

特表2003-524886

前記第1の技術と異なる第2の技術を用いる半導体デバイスとして前記第2の加工物を形成すること
を含む請求項1記載の方法。

【請求項36】 代理基板として前記第1の加工物を形成すること；

第1の技術を用いる半導体デバイスとして前記第2の加工物を形成すること；
および

前記第1の技術と異なる第2の技術を用いる半導体デバイスとして前記第3の加工物を形成すること
を含む請求項1記載の方法。

【請求項37】 第1、第2および第3の加工物のそれぞれの第1の表面を
各々約5～10 Å未満の表面粗さまで研磨することを含む請求項1記載の方法。

【請求項38】 第1の基板を有する第1の半導体デバイスを第2の基板を
有する第2の半導体デバイスに接合すること；

前記第1の基板の一部を除去して、前記第1の半導体デバイスの残りの部分を
露出させること；および

前記第1および第2の半導体デバイスを相互接続すること
を含む半導体デバイスを集積化する方法。

【請求項39】 前記相互接続することが、多層相互接続を前記第1のデバ
イスの前記残りの部分に接合することを含む請求項38記載の方法。

【請求項40】 実質的にすべての前記第1の基板を除去することを含む請
求項38記載の方法。

【請求項41】 前記第1および第2のデバイスの表面を平坦化すること；
および

前記表面を接合すること
を含む請求項38記載の方法。

【請求項42】 第3の半導体デバイスを前記残りの部分に接合すること；
および

前記第1、第2および第3の半導体デバイスを相互接続すること
を含む請求項38記載の方法。

(9)

特表2003-524886

【請求項43】 代理基板を前記第1のデバイスの前記残りの部分に接合すること：および

前記第2の基板を除去して、前記第2のデバイスの残りの部分を露出させること

を含む請求項38記載の方法。

【請求項44】 前記第2のデバイスを代理基板に接合すること；

前記第2のデバイスの前記第2の基板の少なくとも一部を除去して、前記第2のデバイスの残りの部分を露出させること：および

前記第1のデバイスを前記第2のデバイスの前記残りの部分に接合することを含む請求項38記載の方法。

【請求項45】 実質的にすべての各々前記第1および第2の基板を除去することを含む請求項44記載の方法。

【請求項46】 第3の半導体デバイスを前記第1のデバイスの前記残りの部分に接合すること：および

前記第1、第2および第3の半導体デバイスを相互接続することを含む請求項44記載の方法。

【請求項47】 前記第3のデバイスの第3の基板の少なくとも一部を除去して、前記第3のデバイスの残りの部分を露出させることを含む請求項46記載の方法。

【請求項48】 実質的にすべての前記第1、第2および第3の基板を除去することを含む請求項47記載の方法。

【請求項49】 多層相互接続を前記第3のデバイスの前記残りの部分に接合することを含む請求項47記載の方法。

【請求項50】 それぞれの基板上にN（Nは、ゼロでない正の整数）の半導体デバイスを形成すること；

前記Nのデバイスを前記第1および第2のデバイスに接合すること；

前記第1、第2およびNのデバイスを相互接続することを含む請求項38記載の方法。

【請求項51】 各前記Nのデバイスの基板の少なくとも一部を除去して、

(10)

特表2003-524886

それぞれの残りの部分を露出させること：および

(N+1)番目のデバイスをN番目のデバイスの残りの部分に接合することを含む請求項50記載の方法。

【請求項52】 実質的にすべての前記第1および第2の基板および前記Nのデバイスの前記基板を除去することを含む請求項51記載の方法。

【請求項53】 所望の表面粗さを有する第1の表面を備えた第1の加工物：

各々前記表面粗さを有する第2および第3の表面を備えた第2の加工物：

各々前記表面粗さを有する第4の表面を備えた第3の加工物：

互いに接合された前記第1および第2の表面；および

互いに接合された前記第3および第4の表面

を含む接合されたデバイス。

【請求項54】 前記第1の加工物が、第2の材料上に配置された薄い第1の材料を含み；

前記第2の加工物が、第4の材料上に配置された薄い第3の材料を含み；

前記第3の加工物が、第6の材料上に配置された薄い第5の材料を含み；

前記薄い第1の材料の表面が、前記第1の表面を含み；

前記薄い第3の材料の表面が、前記第2の表面を含み；および

前記薄い第5の材料の表面が、前記第4の表面を含む請求項53記載のデバイス。

【請求項55】 各前記薄い第1、第2および第3の材料が、高い熱伝導率および高い比誘電率を有する材料を含む請求項54記載のデバイス。

【請求項56】 各前記薄い第1、第2および第3の材料が、二酸化シリコン、シリコンおよびダイヤモンド状炭化シリコンからなる群より選択される材料を含む請求項54記載のデバイス。

【請求項57】 前記第2の材料の表面非平面度の約1～10倍の厚さを有する前記薄い第1の材料；

前記第4の材料の表面非平面度の約1～10倍の厚さを有する前記薄い第3の材料；および

(11)

特表2003-524886

前記第6の材料の表面非平面度の約1～10倍の厚さを有する前記薄い第5の材料を含む請求項54記載のデバイス。

【請求項58】 前記薄い第1の材料が、多数の薄い層を含み、前記層の最上部の1層が前記第1の表面を含み；

前記薄い第3の材料が、多数の薄い層を含み、前記層の最上部の1層が前記第2の表面を含み；および

前記薄い第5の材料が、多数の薄い層を含み、前記層の最上部の1層が前記第4の表面を含む請求項54記載のデバイス。

【請求項59】 前記第1の加工物が、第1の半導体デバイスを含み；

前記第2の加工物が、第2の半導体デバイスを含み；および

前記第3の加工物が、第3の半導体デバイスを含む請求項53記載のデバイス。

【請求項60】 前記第1の半導体デバイスが、前記第1の表面として1つの表面を有する第1の集積回路を含み；および

前記第2の半導体デバイスが、前記第2の表面として1つの表面および前記第3の表面として反対の表面を有する第2の集積回路を含み；および

前記第3の半導体デバイスが、前記第4の表面として1つの表面を有する第3の集積回路を含む請求項59記載のデバイス。

【請求項61】 各前記第1、第2および第3の半導体デバイスが、未接続のデバイスの2次元アレーを含む請求項60記載のデバイス。

【請求項62】 前記第1の加工物が、第1の基板に形成された第1の半導体デバイスを含み；

前記第2の加工物が、少なくとも一部が除去される第2の基板に形成された第2の半導体デバイスを含み；および

前記第3の加工物が、少なくとも一部が除去される第3の基板に形成された第3の半導体デバイスを含む請求項53記載のデバイス。

【請求項63】 前記第2の半導体デバイスが、実質的にすべてが除去される第2の基板に形成された前記第2の半導体デバイスを含み；および

(12)

特表2003-524886

前記第3の半導体デバイスが、実質的にすべてが除去される第3のデバイスに形成された前記第3の半導体デバイスを含む請求項62記載のデバイス。

【請求項64】 前記第1の加工物が、代理基板を含み；および

前記第2および第3の加工物が、それぞれの第1および第2の半導体デバイスを含む請求項53記載のデバイス。

【請求項65】 前記代理基板が、第2の材料上に配置された薄い第1の材料を含み；

前記薄い第1の材料が、前記第1の表面を含み；

前記第2および第3の半導体デバイスがそれぞれ、それぞれの上部表面上に配置された薄い第2および第3の材料を含み；

前記薄い第2の材料が、前記第2の表面を含み；および

前記薄い第3の材料が、前記第4の表面を含む請求項64記載のデバイス。

【請求項66】 前記第2の材料の表面非平面度の約1～10倍の厚さを有する前記薄い第1の材料；

前記第2のデバイスの前記上部表面の表面非平面度の約1～10倍の厚さを有する前記薄い第2の材料；および

前記第3のデバイスの前記上部表面の表面非平面度の約1～10倍の厚さを有する前記薄い第3の材料を含む請求項65記載のデバイス。

【請求項67】 前記第1の加工物が、表面が前記第1の表面を含む薄い第1の材料、第2の材料および前記薄い第1の材料と前記第2の材料との間に形成される応力除去層を含み；および

前記第2の加工物が、表面が前記第2の表面を含む薄い第3の材料、第4の材料および前記薄い第3の材料および前記第4の材料との間に形成される応力除去層を含むかの少なくともいずれか一方である請求項53記載のデバイス。

【請求項68】 前記第1の加工物が、代理基板を含み；および

前記第2および第3の加工物が各々、半導体デバイスを含む請求項53記載のデバイス。

【請求項69】 前記第3の加工物が、代理基板を含み；および

前記第1および第2の加工物が各々、半導体デバイスを含む請求項53記載の

(13)

特表2003-524886

デバイス。

【請求項70】 前記第1および第2の加工物が各々、半導体デバイスを含み；および

前記第3の加工物が多層相互接続を含む請求項53記載のデバイス。

【請求項71】 前記第1および第2の加工物が各々、半導体回路を含み；および

前記第1および第2のデバイスの前記回路から個々のデバイスを互いに接続する相互接続を含む請求項53記載のデバイス。

【請求項72】 前記第1および第2の加工物が各々、集積回路を含み；および

前記第1および第2のデバイスの前記集積回路から個々の回路を互いに接続する相互接続を含む請求項53記載のデバイス。

【請求項73】 前記表面粗さが5～10 Åであることを含む請求項53記載のデバイス。

【請求項74】 第1の半導体デバイス；

少なくとも部分的に除去され、前記第1の半導体デバイスに接合された基板上に形成されるデバイスの層を含む第2の半導体デバイス；および

前記第1および第2の半導体デバイスを接続する相互接続を含むデバイス。

【請求項75】 前記第2のデバイスが、実質的に除去された基板上に形成された前記デバイスの層を含む請求項74記載のデバイス。

【請求項76】 少なくとも部分的に除去され、前記第2のデバイスに接合された基板上に形成されるデバイスの層からなる第3の半導体デバイスを含む請求項74記載のデバイス。

【請求項77】 前記第2のデバイスが、実質的に除去される基板上に形成された前記デバイスの層を含み；および

前記第3のデバイスが、実質的に除去される基板上に形成された前記デバイスの層を含む請求項76記載のデバイス。

【請求項78】 前記相互接続が、前記第2のデバイスに接合された多層相互接続を含む請求項74記載のデバイス。

(14)

特表2003-524886

【請求項79】 前記第1のデバイスが、実質的に除去され、代理基板に接合された基板上に形成されるデバイスの層を含む請求項74記載のデバイス。

【請求項80】 前記第2のデバイスが、実質的に除去された基板上に形成された前記デバイスの層を含む請求項79記載のデバイス。

【請求項81】 前記第2および第3の加工物が異なる技術である請求項74記載のデバイス。

【請求項82】 各第1および第2の加工物が、CMOS、BiCMOS、npnおよびpnphBT、VCSEL、PIN、HFET、MESFET、MOSFET、およびJFETからなる群より選択される技術を含む請求項81記載のデバイス。

(15)

特表2003-524886

【発明の詳細な説明】

【0001】

本発明の背景

本発明の分野

本発明は、3次元集積半導体デバイスおよび特に3次元構造を形成するように互いに垂直に接合された半導体デバイスに関する。

【0002】

背景の考察

集積化する能力は、半導体産業の成功を左右する。これは、まず、集積回路（IC）の発明により実証された。ICは、本質的に半導体ウエハの表面において電子部品を作製すること、およびこれに続いて、部品の最上部に対するメタライゼーションによりこれらの部品を相互接続することからなる。この集積化から得られた劇的な費用削減と性能向上は、深い経済的な影響力を有した。

【0003】

ICの発明以来、半導体産業は、達成された種々の電子部品（例えば、トランジスタ、ダイオード、レジスタ、キャパシタ等）の集積密度における絶え間のない改良のために続けられた急速な成長を経験してきた。大部分は、この集積密度の改良は、一定の領域により多くの部品を集積させることを可能にする最小形状の繰り返された減少に由来している。さらなる改良は、ウエハサイズの増加に由来している。

【0004】

これらの集積化の改良は、集積化された部品により占有されるボリュームは、本質的に半導体ウエハの表面という点で、本質的に本来2次元（2-D）である。リソグラフィにおける劇的な改良は、この2-D集積化における相当な改良をもたらしたが、2-Dにおいて達成され得る密度には物理的な限界がある。これらの限界の1つは、単にこれらの部品を作るために必要とされる最小サイズである。もう1つの限界は、部品の大きさが減少することに伴う部品間の相互接続要求の有意な増加である。

【0005】

(16)

特表2003-524886

2-Dで達成可能な集積化を超える集積化を達成するための努力が行われており、チップメモリにおける改良とさらなる半導体産業の成長をもたらしている。例えば、トレンチキャパシタは、ウエハ表面の下の有意味な半導体のボリュームを使用し、一定のチップ領域内でより多くの機能性を達成することを可能とする。一定のチップ領域におけるボリュームの増加する使用による高いレベルへの集積化を達成することに向けられた他の努力が、近年増加してきた。1つのアプローチは、相互接続メタライゼーション上に半導体材料を付加し、ついで追加の相互接続メタライゼーションを行うことにより集積化プロセスを繰り返すことであった。これは、潜在的にチップ領域当りのより多くの部品をもたらすが、有意に増加したサーマル・バジェット (thermal budget) を含むその他の問題を有する。加えてこの努力とこの他の努力は、それらが1つの基板を使用するだけであり、その後その基板の1つの表面に加工を施すという点ではっきりしている。デバイスを相互接続の作製に含まれる熱プロセスに供さないことは、デバイスの作製を単純化し、向上させる。

【0006】

もう1つの問題は、デバイスのディメンションのスケーリングに比べて、相互接続のディメンションをスケーリングする能力が遅れる結果起こる。理想的には、ビア (via) の臨界のディメンションはゲートのディメンションと同じであることが要望される。しかしながら、ビアのスケーリングはデバイスのスケーリングに遅れるため、集積密度は、制限される。

【0007】

さらなる問題が、異なるタイプの技術を1つの回路またはウエハに集積化しようとするときに生じる。BiCMOSがその1つの例である。典型的には、それら技術を組み合わせることを可能にするために、特別なプロセッシング技術が考案されなければならない。1つの技術に必要とされるプロセスは、しばしば、もう1つの技術に必要とされるプロセスを妨げる。結果として、妥協がなされる。組み合わせられた技術の全体的な発展は、結局は凍結し、組み合わせようとする技術の柔軟な集積化を不可能ではないにしろ、非常に困難なものとしている。言い換えれば、最も進歩した「最良の科学技術 (best of breed)」は、

(17)

特表2003-524886

組み合わせられず、技術における発展は、達成され得ない。

【0008】

技術を組み合わせることのもう1つの問題は、カスタマイゼーション (c u s t o m i z a t i o n) を前もって行わなければならないことである。第一に、技術を組み合わせるためのプロセッシングを設計しなければならず、このため、限界がデバイスに組み込まれる。さらに、プロセッシングを再び設計する必要性があるために、技術における発展と改良を容易に利用することができない。

【0009】

本発明の要約

本発明の目的は、高い集積密度を有する方法およびデバイスを提供することにある。

【0010】

本発明のもう1つの目的は、異なるタイプの材料が集積化され得る方法およびデバイスを提供することにある。

【0011】

本発明のさらなる目的は、異なるタイプのデバイスの集積化方法および集積化されたデバイスを含む構造を提供することにある。

【0012】

本発明のさらなるもう1つの目的は、異なるタイプの技術が集積化された方法およびデバイスを提供することにある。

【0013】

本発明のさらなる目的は、デバイスを相互接続する際にサーマル・バジェットを避けるかまたは最小化することにある。

【0014】

本発明のさらなるもう1つの目的は、有意なプロセッシングの妥協をすることなく、利用し得る最良の技術を集積化させることにある。

【0015】

本発明のこれらの目的およびその他の目的は、第1、第2および第3の加工物 (w o r k p i e c e) のそれぞれの第1の表面を各々所望の表面粗さに研磨す

(18)

特表2003-524886

ること、前記第1および第2の加工物の前記第1の表面を互いに接合すること、接合後、前記第1および第2の加工物の一方の第2の表面を前記表面粗さに研磨すること、および前記第3の加工物の前記第1の表面を前記研磨された第2の表面に接合することを含む接合方法により達成され得る。

【0016】

前記表面は、約5～10 Åの粗さにまで研磨され得る。第1の加工物は、第2の材料上に薄い第1の材料を形成することにより得られ、第2の加工物は、第4の材料上に薄い第3の材料を形成することにより得られ、第3の加工物は、第6の材料上に第5の材料を形成することにより得られうる。本方法は、第1の表面を得るために第1、第3および第5の材料を研磨する工程を含み得る。

【0017】

第1および第3の材料は、各々高い熱伝導率および高い比誘電率を有する材料から形成され得る。第1、第3および第5の材料は、二酸化シリコン、シリコン、ダイヤモンド状炭素からなる群より選択され得る。第1、第3および第5の材料は、それぞれ第2、第4および第6の材料の表面非平面度 (surface non-planarity) の約1～10倍の厚さに形成され得る。

【0018】

本方法はまた、第1から第3の半導体デバイスを第1～第3の加工物としてそれぞれの第1から第3の基板上に形成する工程も含み得る。第1および第2の半導体デバイスの表面は、それぞれの第1および第2の表面を得るために研磨され得る。この例では、第1の材料は、第1の半導体デバイスの表面上に形成され、第2の材料は、第2の半導体デバイスの表面上に形成され得る。第1および第2の材料は、それぞれの第1および第2の表面を得るために研磨され得る。

【0019】

第1および第2の半導体デバイスの一方の露出表面は、第1および第2の表面の接合後、所望の表面粗さに研磨され得、第3の半導体デバイスの第1の表面は、この露出表面に接合され得る。

【0020】

もう1つの例では、第1および第2の半導体デバイスの一方の露出表面は、第

(19)

特表2003-524886

1および第2の表面の接合後、約5～10 Åの表面粗さに研磨され得る。N-2半導体デバイスの表面は、各々が約5～10 Åの表面粗さを有するまで研磨され得る。N-2半導体デバイスは、N-集積化接合デバイスを得るために、接合された第1および第2の半導体デバイスに接合され得る。N-2半導体デバイスの各々基板は、集積化プロセスにおいて除去され得る。

【0021】

第1～第3の半導体デバイスは、各々基板上に形成された集積回路を含み得る。第1および第2の半導体デバイスの基板の一方は、接合工程の後に除去され得る。基板の除去により露出された表面は、約5～10 Åの表面粗さに研磨され、第3の半導体デバイスの表面は、約5～10 Åの表面粗さに研磨され、第3の半導体デバイスの表面および研磨された露出表面は、接合され得る。

【0022】

本方法はまた、第1の加工物として代理基板を使用する工程、第2の加工物として第2の基板上に集積回路を形成する工程、第1の基板の表面を研磨する工程、集積回路の表面を研磨する工程、および第1の基板と集積回路を接合する工程を含み得る。集積回路の第2の表面は、研磨され、第2の集積回路は、第3の加工物として第3の基板上に形成され、および第2の集積回路の研磨された表面は、第1の集積回路に接合され得る。

【0023】

第1の材料は、基板の表面上に形成され、研磨され得る。第2の材料は、集積回路の表面に形成され、研磨され得る。第1および第2の材料は、それぞれ基板および集積回路の表面の表面非平面度の約1～10倍の厚さに形成され得る。

【0024】

本方法はまた、第1の加工物を得るために第1の材料上にN薄膜を形成する工程と所望の表面粗さを得るためにN薄膜の最上層の薄膜を研磨する工程、および第2の加工物を得るために第2の材料上にM薄膜を形成する工程と所望の表面粗さを得るためにM薄膜の最上層の薄膜を研磨する工程を含み得る。本方法はまた、N薄膜のうちの少なくとも複数を研磨する工程およびM薄膜のうちの少なくとも複数を研磨する工程のうちの少なくとも一方を含み得る。

(20)

特表2003-524886

【0025】

代理基板は、第1の加工物として使用され得る。応力除去層(stress relieving layer)は、代理基板上に形成され得る。薄膜は、応力除去層上に形成され、この薄膜は、所望の表面粗さを得るために研磨され得る。

【0026】

本方法はまた、半導体デバイスを相互接続することを含み得る。この接続は、回路間または個々のデバイス間になされ得る。2つのデバイスを相互接続することは、2つのデバイスの接合後、多層相互接続をデバイス的一方に接合することを含み得る。

【0027】

第1および第2の半導体デバイスの接合後、基板の一方は、表面を露出させるために除去され得る。この表面は、研磨され、第3の半導体デバイスは、研磨された露出表面に接合され得る。

【0028】

異なる技術の半導体デバイスおよび集積回路は、集積化され得る。

【0029】

本発明に従う方法はまた、第1の基板を有する第1の半導体デバイスを第2の基板を有する第2の半導体デバイスに接合すること、前記第1の半導体デバイスの一部を除去して前記第1の半導体デバイスの残りの部分を露出させること、および前記第1および第2の半導体デバイスを相互接続することを含み得る。

【0030】

実質的にすべての基板は、除去され得る。第1および第2のデバイスの表面は、平坦化され、接合され得る。デバイスを相互接続することは、多層相互接続をデバイス的一方に接合することを含み得る。代理基板は、デバイス的一方に接合され得、対応する基板は除去され得る。デバイスの他方は、基板を除去することにより露出された部分に接合され得る。

【0031】

第3のデバイスは、第1および第2のデバイスに接合され得、またこの3つの

(21)

特表2003-524886

デバイスは、相互接続され得る。第3のデバイスの基板は、相互接続の前に除去され得る。

【0032】

本発明の目的はまた、表面粗さを有する第1の表面を備える第1の加工物と各々前記表面粗さを有するそれぞれの第2および第3の表面を備える第2の加工物を有し、前記第1および第2の表面が互いに接合されている接合デバイスにより達成され得る。第3の基板は、前記表面粗さを有する第4の表面を有する。第3および第4の表面は、互いに接合される。第1の加工物は、第2の材料上に配置された薄い第1の材料を含み得、第2の加工物は、第4の材料上に配置された薄い第3の材料を含み得、また第3の加工物は、第6の材料上に配置された薄い第5の材料を含み得る。薄い第1、第3および第5の材料の表面は、それぞれ第1、第2および第4の表面を含み得る。

【0033】

薄い第1、第3および第5の材料各々は、高い熱伝導率および高い比誘電率を有する材料を含み得、シリコン、二酸化シリコンおよびダイヤモンド状炭化ケイ素からなる群より選択され得る。薄い第1、第3および第5の材料は、それぞれ第2、第4および第6の材料の表面非平面度の約1～10倍の厚さを有し得る。薄い第1、第3および第5の材料は、各々複数の薄い層を含み得、その複数の層のそれぞれにおいて最上層の薄層は、それぞれ第1、第2および第4の表面を含み得る。

【0034】

第1、第2および第3の加工物は、それぞれ第1、第2および第3の半導体デバイスを含み得る。第1、第2および第3の半導体デバイスは、それぞれ第1、第2および第3の集積回路を含み得る。第1、第2および第3の半導体デバイスは、接続されていないデバイスの第1から第3の2-Dアレーを含み得る。第2および第3のデバイスは、それら基板それぞれの実質的にすべてが除去され得る。

【0035】

第1の加工物は、代理基板を含み得、第2および第3の加工物は、各々半導体

(22)

特表2003-524886

デバイスを含み得る。代理基板は、第2の材料上に堆積された薄い第1の材料を含み得、その際、第1の材料は第1の表面を含む。半導体デバイスは、それぞれ、集積回路上に堆積された薄い材料を含み得、この薄い材料は、それぞれ、第2および第3の表面を含む。薄い第1、第2および第3の材料は、それぞれ第2の材料および2つの集積回路の表面非平面度の約1～10倍の厚さを有し得る。

【0036】

第1の加工物は、薄い第1の材料、第2の材料および薄い第1の材料と第2の材料の間に形成される応力除去材料を含み得るか、または第2の加工物は、薄い第3の材料、第4の材料および薄い第3の材料と第4の材料の間に形成される応力除去材料を含み得る。薄い第1および第3の材料の表面は、それぞれ第1および第2の表面を含み得る。

【0037】

本発明に従うデバイスはまた、第1の半導体デバイス、少なくとも部分的に除去された基板上に形成された複数のデバイスの層で構成され、前記第1の半導体デバイスに接合された第2の半導体デバイスおよび前記第1および第2の半導体デバイスを接続する相互接続を有する集積化デバイスを含み得る。

【0038】

第2のデバイスは、実質的に除去された基板上に形成された複数のデバイスの前記層を含み得、少なくとも部分的に除去された基板上に形成されたデバイスの層から構成される第3の半導体デバイスは、第2のデバイスに接合され得る。この相互接続は、第2のデバイスに接合される多層相互接続を含み得る。第1のデバイスは、代理基板に接合され実質的に除去された基板上に形成されるデバイスの層を含み得、第2のデバイスは、実質的に除去された基板上に形成されたデバイスの層を含み得る。第2および第3の加工物は、異なる技術によるものであり得る。

【0039】

本発明のより完全な認識およびこれに付随する多くの利点は、添付の図面と関連して考慮されるときに以下の簡単な説明を参照することによりより良く理解されるように、直ちに得られるであろう。

(23)

特表2003-524886

【0040】

好ましい態様の説明

ここでは、図面、特に本発明に従う方法およびデバイスの第1の態様を説明する図1を参照する。基板10は、ある表面平面度を有する上部表面11を有する。基板10は、好ましくは代理基板または集積回路ウエハである。図1に示される表面11の非平面度は、説明目的のためであって、正確な表面平面度状態を示すためのものではない。基板10は、好ましくは比較的滑らかで、平坦な表面11を有する。上部表面の所望の平滑度および平面度は、研磨することにより達成され得る。化学的-機械的研磨すなわちCMPは、所望の平滑度および平面度に達するための1つの手段である。CMPプロセスは、所望の表面粗さおよび平面度を得るために、研磨パッド、研磨スラリーおよび研磨条件の適当な選択により最適化される。

【0041】

表面11上には、表面11の表面非平面度よりも大きな厚さを有するフィルム12が堆積される。フィルム12は、 SiO_2 、ダイヤモンドまたはダイヤモンド状炭素(DLC)のように優れた熱伝導率および高い比誘電率を有するべきである。1~10W/cmKの範囲にある熱伝導率および1~3の範囲にある比誘電率が好ましい。フィルム12の厚さの好ましい範囲は、フィルム11の表面非平面度の1~10倍である。ついで、フィルム13の上部表面13は、5~15Å、好ましくは5~10Åの粗さを有する平坦な表面に研磨される。より滑らかな平坦な表面は、フィルムの接合性を高め得るため、 ≤ 5 Åの粗さを有する平坦な表面が最も好ましい。

【0042】

また、フィルム12を堆積し、上部表面13を研磨し、その後もう一層のフィルム(図2における14)を堆積し、この第2のフィルムを研磨して上部表面(図2における15)の所望の平滑度を達成することも可能である。それぞれのフィルムに対しましては少なくとも上層のフィルムに対し堆積と研磨操作を繰り返した3層またはそれ以上のフィルムを所望の表面粗さおよび平面度を達成するために使用することができる。

(24)

特表2003-524886

【0043】

こうして、基板10は、ウエハ接合のための準備が整う。どのようなタイプの基板も、基板10に接合され得る。図3を参照すると、基板16、好ましくは能動素子を含む集積回路ウエハは、フィルム12の表面13（またはフィルム14の表面15）と同じ範囲にある表面粗さを有する露出表面18を有するフィルム17を形成することにより、基板10と同じ手法で準備される。より高度な平面度は、接合プロセスをさらに促進し得る。フィルム17は、上述したように、1回またはそれ以上の研磨操作を伴い1層またはそれ以上の層から形成され得る。表面18および12は、互いに接触される（図3において矢印により示される）。表面18および13の間にファンデルワールス接合のような接合が形成される（図4）。より強力な接合は、結合された基板およびフィルムを引き続いて熱することによりもたらされ得る。

【0044】

接合のより好ましい手法は、圧力、電圧または温度を適用することなく直接接合することである。基板が SiO_2 （または他の接合材料）の上部表面を有する時には、 SiO_2 の上部表面が、例えば、CMPにより十分な表面粗さと平面度を得るように十分な厚さを有すると仮定すると、もう一層の SiO_2 層を堆積することなくその表面を研磨することが可能である。

【0045】

実施例

この実施例は、最適な熱パッケージングおよび誘電性能が望まれる際に、GaAs、InPまたはGaNのような材料へダイヤモンド基板を張り付ける事例を用いる。高い熱伝導率を有する材料の基板に接合することにより、熱伝達をより良好に取り扱うことができる。接合するために準備された後、ダイヤモンド基板は、比較的滑らかな上部表面を有する。ダイヤモンド基板は典型的に比較的粗い表面を有するので、比較的滑らかで平坦な上部表面は研磨により得ることができる。研磨は、高価であり、一貫して非常に滑らかな表面を得ることが困難であり得る。また、ダイヤモンド基板上に銅サセブタを形成することもできる。ダイヤモンドフィルムは、典型的には、温度が低下すると堆積後の銅サセブタを「ポッ

(25)

特表2003-524886

ブオフ (p o p - o f f) し、成長が開始されたところに比較的滑らかで平坦な表面を、成長が終止したところにより粗い表面を残す。

【0046】

上部表面の頂部には、二酸化シリコンの薄い層が堆積される。二酸化シリコン層は、ダイヤモンド表面の非平面度よりも例えば、1～10倍厚くあるべきであるが、しかし、性能を最適化するためにできるだけ薄くあるべきである。二酸化シリコン層はその後、ウエハ接合に好適な平滑表面、例えば、 $\leq 5 \text{ \AA}$ まで研磨される。薄いシリコン層を有するダイヤモンド基板は、こうして、ウエハ接合のための準備が整う。

【0047】

この時点で、いかなるタイプの基板上にも形成されるいかなるタイプのデバイスも、二酸化シリコン層の表面に接合され得る。例えば、参照として本明細書中に組み込まれる出願シリアル番号第09/165,203に記述されるヘテロ接合バイポーラトランジスタ (HBT) が使用され得る。HBTは、図5に示されるように、これが代理基板の接着のための準備が整う時点まで処理される。典型的には、これは、エミッターメタライゼーションを形成する工程、ベースエッチングを行う工程、ベースメタライゼーションを適用する工程、パッシベーション/平坦化レベルを適用する工程、および熱シャント (thermal shunt) を適用する工程を含み得る。図5において、GaAs基板20上には、コレクター層22、平坦化材料21、ベース領域23、ベースコンタクト24、エミッター25、およびエミッターコンタクト26が形成されている。図5は、1つのデバイスを説明するものであるが、これに限られるものではないことを明記しておく。いくつかのデバイスを含むウエハまたは1つ集積回路も、同様の手段で接合することができる。

【0048】

HBTの平坦化された表面の頂部には、もう一層の二酸化シリコン27の極めて薄い層が堆積される。二酸化シリコン層27の厚さは、HBTの平坦化された表面の非平面度より (例えば、1～10倍) 厚く、しかし、性能を最適化するためにできるだけ薄いものである。二酸化シリコン層27の表面は、ウエハ接合に

(26)

特表2003-524886

十分な平滑度、例えば、 $\leq 5 \text{ \AA}$ まで研磨される。層27および12はその後、これらを近接して配置することにより接合される。これらの表面は好ましくは、湿式クリーニングプロセスの後、近接して配置され、引き続き層27と層12の間から液体を排出させるために乾燥する操作が行われる。ファンデルワールス接合が形成される。より強力な接合は、結合された層27および12を引き続き熱することによりもたらされ得る。

【0049】

結合後、層12および27が熱せられる際、形成されるデバイスおよび代理基板に何らかの有害な影響をもたらす応力が生み出され得る。ダイヤモンド基板と二酸化シリコン層の間およびHBTと二酸化シリコン層27の間に応力除去層を形成することが可能である。これは、図6においてフィルム28および29として示されている。この応力除去層は、この層が他の層より前に応力の作用を受けると、材料、すなわちヤング率を有する均質層または複合層である。

【0050】

所望の表面粗さまで研磨された二酸化シリコンフィルムを用いた接合を説明したが、その他のフィルムも可能である。たとえば、シリコンまたはDLCもまた、用いられ得る。シリコンの場合、コンプライアント層 (compliant layer) を形成するために、酸素が接合層に対しそれらのそれぞれの表面下に注入され得る。コンプライアント層は、応力除去層に相当する層である。例えば、向上された熱伝導率が望ましい時、 SiO_2 フィルムに対してSi、SiCまたはDLCフィルムを使用することが好ましい。

【0051】

また、比誘電率、熱伝導率および抵抗率を最適化するために能動素子に近接して接合されるデバイスにおけるパッシベーション/平坦化材料を選択することも可能である。特に、DLCは、他の材料に比べて比較的高い熱伝導率および低い比誘電率のため、有効である。

【0052】

図5に示されるように、HBTデバイス14は、典型的には基板20上に形成される。デバイスを基板10に接合した後に、基板20は、裏面コンタクトに利

(27)

特表2003-524886

用するために研磨、または研削および研磨のような処理によって除去され得る。

【0053】

本発明の第2の態様において、デバイスのNの2Dアレーは、第1の態様で記述された方法をN回繰り返すことにより互いに接合される。図7（HBTデバイスは30として詳細な構成要素を示すことなく示されている）に示される接合デバイスから始まって、基板20は、除去され、デバイス30の露出表面は、必要ならばウエハ接合に都合の良い滑らかさのレベルまで研磨される。研磨および研削は、基板20の除去の間に使用され得る。もう1つの二酸化シリコンの層31が、デバイス30の露出表面に堆積され、層12または27（図8）のために前述した手段で、所望の表面粗さまで研磨される。

【0054】

デバイスの詳細なくして32として図9に示される基板34を備える次のウエハは、基板34とは反対側の表面上に形成された二酸化シリコンの薄い層33を有する。フィルム33は、フィルム11、27および31と同じ手段で形成され、研磨される。フィルム33はその後、層31の露出表面に接合される。この結果得られるデバイスは、基板34の除去後のものとして図10に示されている。第2の接合デバイスの上部表面は、再び研磨され得、もう1つの二酸化シリコン層35が第3のデバイスの接合の準備のために堆積される。これは、N-集積デバイスを製造するためにN回なされ得る。そのように接合されたデバイスは、垂直に相互接続され得る。

【0055】

実施例

複数のデバイスを接合する例が、図11A、11Bおよび12～15に示されている。図11A、11Bおよび12～15は、どのようにして本発明に従い接合がデバイスのNの2Dアレーを集積するために使用され得るのか、どのようにしてそれらが垂直に集積された複数ウエハモジュールを形成するために相互接続され得るのか、どのようにして異なる技術が結合され得るのかを示している。

【0056】

図11Aおよび11Bは、接合される2つのデバイスを示している。この例に

(28)

特表2003-524886

において、図11Aおよび11Bのデバイスは、相互接続を有する異なる集積回路ウエハである。図11Aにおいて、対称真性HBT (SIHBT) ウエハは、SIHBT代理基板40、基板40上に形成される平坦化材料41、SIHBTデバイス43および好ましくは金属から形成される相互接続42および44を含む。図11Bは、VCSEL基板45、平坦化材料46、VCSELデバイス48および同様に好ましくは金属から形成される相互接続47および49を有するVCSELを示している。図12に示されるように、図11Aおよび11Bのデバイスは、上述した方法で接合され、すなわち、二酸化シリコンのような材料が、各デバイスの上部表面上に堆積され、その後、約5～10 Åの表面粗さまで研磨される。高度な平面度がまた、望ましい。接合デバイスは、図12に示されている。

【0057】

次に、図13に示すように、基板40は、相互接続44を露出させるために除去される。ビアホール50は、平坦化材料41を通して、相互接続47の一部を露出させるために平坦化材料46内までエッチングされる。1つのビアホール50が示されているが、多数のビアが2つの接合基板におけるデバイスに適した接続を与えるために形成され得ることは、理解されなければならない。

【0058】

相互接続51は、デバイス43および48を相互接続するビアホール50内に形成される。この処理は、2つのウエハが接合されることが必要であるならば、この時点で中止され得る。1つまたはそれ以上のデバイスがさらに集積化されることが必要であるならば、この処理は、例えば、上述と同様の手段で5～10 Åの表面粗さまで後に研磨される二酸化シリコンからなる接合層52を形成することにより継続され得る。この場合、この処理は、層52の滑らかな表面をより容易に製造するために、相互接続50内に形成される空洞を埋める工程を含む。図14に示されるように、デバイスは、所望によりもう1つのウエハに接合される準備がここで整えられる。

【0059】

異なる技術のウエハについて、平坦化材料は、同じであり得る。2つの異なる

(29)

特表2003-524886

技術は、平坦化材料の層により分離され、相互作用しない。各々は、平坦化材料と相互作用するのみである。平坦化材料の性質は、良く知られ、また現行の処理において一般に使用されているので、新しい材料は、技術を組み合わせるために必要ではない。本発明は、異なる技術を組み合わせる製造可能な手段を提供する。

【0060】

さらに、すべてのカスタマイゼーションがプロセッシングの終了の時点で生ずる。両ウエハは、別々に製造され、その後接合される。相互接続は、接合の後に実行される。組み合わせた技術のカスタマイゼーションは、処理の終わりに生ずる。必要な技術がどのようなものであろうと得ることができ、それらの技術は、容易に、商業的に利用可能なものであり得る。新しいプロセスを設計する必要性は、排除される。最終の組み合わせ製品へのさらなる制御は、明記したように可能であり、製造、信頼性またはより長期間の情報がほとんど利用できない新規で適正でない組み合わせプロセスとは異なり、安定したプロセスにより作製されたデバイスを組み合わせたのために選択され得る。

【0061】

第3のウエハを図14の構造に接合することが、図15に示されている。図15は、構成要素60～62を有するもう1つのデバイスの相互接続60の一部を露出させるために平坦化材料41および46をエッチングすることにより形成される付加的なメタライゼーション53を説明するものであることを明記しておく。相互接続53は、他のレベルでの相互接続を促進するために平坦化材料41の表面上に延在された部分を有する。この場合、第3のウエハにあるデバイスは、相互接続55および57を有するCMOSデバイス56であり得る。もう1つのビアは、平坦化材料58を通り、接合材料52を通過してエッチングされ、相互接続59に接続させるために相互接続51の一部を露出させる。相互接続59はまた、CMOSデバイス56の相互接続55に接続される。もう1つの相互接続54は、相互接続53の一部を露出させるために材料58および52を通過してビアをエッチングすることにより形成される。相互接続54は、相互接続53と接触するように形成される。図15は、デバイス間に形成される接合層を明確には示

(30)

特表2003-524886

していないが、デバイスが第1の態様と関連して上述されたプロセスを用いて形成されることを理解するためのものであることを明示しておく。

【0062】

また、図15から明らかなことは、本発明がコンタクトの両側を利用することである。例えば、コンタクト51の頂部にあるパッドがコンタクトパッドまたは金属ラインであるならば、その後、パッド（またはライン）の底部表面は、パッド（またはライン）の下にある相互接続47に接続され、一方、パッド（またはライン）の頂部は、相互接続55と重なっているコンタクト59に接続される。これは、ドライブ要求を減少させ得る。

【0063】

図15はまた、回路構成が1層（あるいは2層）に限定されない本発明の利点を説明する。これは、3次元に設計する能力を有する。回路レイアウトは、これが、あるタイプまたはクラスのデバイスを、機能またはプロセシングのいずれかが妨害するか、または適合しない他のデバイスから分離する能力を与えられているならば、最適化され得る。回路レイアウトは、3次元が2次元の代わりに使用されるため、領域において最小化される。例えば、任意的に異なる技術を有する名目上同じ領域の3つの従来チップが、垂直に積み重ねることにより3分の1の領域で実行され得る。積み重ねられたチップに対する個々のチップの減少したパッケージング要求も考慮するならば、領域の減少は、いっそう大きくなる。垂直に積み重ねることはまた、ルーティングの間の改良された信号アイソレーションのためにチップの間にもしくはチップ内にグラウンド（ground）、バイアス、または他の面の挿入につながる。

【0064】

典型的には、システムにおいて信号は、増幅され、その後、集積回路間のバスへ伝送される。これは、多くのレベルシフト、バス、並びにシステムを作り上げる構成要素の間の信号レベルの種々の違いに対する補償を必要とする。1つの例として、光検出デバイスにおけるピクセルは、後にデバイスからメモリデバイスへシフトされるチャージの極めて小さなバケットを受け取る。この場合の光検出デバイスおよびメモリは共に、別々の集積回路であり得、ピクセルとメモリデバ

(31)

特表2003-524886

イスの間のバッファおよびシステムバスを通してチャージパケットの増幅を必要とする。信号レベルはその後、メモリアデバイスにおけるメモリセルの情報を貯蔵するためにシフトダウンされる。メモリにおける情報が処理される必要があるとき、情報はその後、別の集積回路を使用して形成され得るプロセッサにデータを伝送するためにさらに多くのバッファおよびシステムバスを使用して再びレベルシフトされる。

【0065】

本発明は、構成要素から構成要素への通信およびアドレス可動性を得ることを可能にする。現在、信号のパワーレベルは、相互接続、すなわちシステムバスおよびドライバではなく、構成要素により決定され得る。例として図16A～16Dで示されるように、光信号等を検知するピクセルのアレーからなる第1の集積回路は、第1の基板（図16A）上に作製される。簡易化された方法では、ピクセル72は、基板70上に形成された半導体層71内に形成される。第2の基板の上には、情報がピクセルアレーからシフトされる時にこの情報を貯蔵するために必要とされるメモリアデバイスが作製され、これは図16Bに示される。半導体層74が、基板73上に形成される。メモリセル75は、層74内に形成される。最後に、情報を処理するためのプロセッサデバイスが図16Cに示される第3の基板上に製造される。種々の構成要素78は、基板76上に形成される層77に（簡略化された形態で）示される。各基板はその後、（光にそれを露出させるために頂部にあるピクセルアレーと共に）互いに接合される。

【0066】

3つの基板は、互いに接合され得る。代理基板（図示されない）は、前述した技術を用いて層71の上部表面および除去される基板70に取り付けられ得る。メモリアデバイスの層74の上部表面はその後、基板70を除去することにより露出された表面に接合される。基板73はその後、除去され得、層77の上部表面は、基板73を除去することにより露出された表面に接合される。代理基板は、ピクセル72を露出するために除去され得る。相互接続は、上述の手段で3つの基板の間に直接的になされ、システムが別々の集積デバイスを使用して設計されるときにシステムを相互接続するために必要とされる多数のバッファおよびシス

(32)

特表2003-524886

テムバスの必要性を除去する。接合された回路は、図16Dに示される。図16Dは、異なるデバイスを接合するために使用される種々の層を説明するものではなく、層71、74および77の一部が、所望により対応する基板の除去の間に除去され得ること説明するものであることを明記しておくべきである。

【0067】

もう1つの例は、マイクロプロセッサがある量の搭載ROMを含み、一方、大量の記憶が別のRAM上のシステムバスを経てアクセスされる典型的なマイクロプロセッサである。この場合、搭載ROMを有するプロセッサは、第1の基板上に作製され得、メモリは、第2の基板上に作製され得る。2つの基板は、互いに接合され、プロセッサは、直接メモリデバイスに接合され、ここでもシステムバス、レベルシフターおよび他のバッファの必要性が排除される。

【0068】

本発明は、よりコンパクトで直接的にアクセス可能な手段でのシステム作製を可能とするだけでなく、より小さなフットプリントも可能とする。各々ほぼ同じ大きさのチップを仮定すると、上述した別々のデバイスは、それらが互いに積み重ねられる本発明と比較して、少なくとも3倍の量のスペースを取るであろう。

【0069】

本発明の第4の態様は、下側の集積回路とは別に相互接続を作るために上述した技術を使用する。典型的に、回路は、必要とされるすべての複合的な機能を提供するために多数の相互接続のレベルを必要とする。6またはそれ以上のレベルの相互接続が必要とされ得る。これは、有意な量の熱プロセッシングを必要とし、下にある能動素子をより高いサーマル・バジェットにさらし、作製プロセスを複雑にする。本発明は、能動素子を別々に作製するために使用され得、その後、本発明に従い接合することにより相互接続の層を形成する。特に、相互接続の各レベルは、別々の基板に形成され得、その後、互いに接合され、必要に応じて相互接続され得る。相互接続層のいくつかまたはすべては、1度に作製され得る。互いに接合されたまたは単一の相互接続された基板は、その後、能動素子を有する基板に接合され得る。図15に示される異なるウエハを相互接続するために上述した技術と同様の技術が、利用され得る。終了時、相互接続された層のスタック

(33)

特表2003-524886

は、能動素子に接合され得る。

【0070】

これは図17Aおよび17Bに図示され、図17Aに示す層80～83を有する相互接続のスタックが本発明の原理に従って接合され、その後、これは、図16Bまたは図16Cに示される集積回路に接合される。図17Bは、明瞭化のために省略された接合プロセスで使用される層を有する完成されたデバイスを示す。この場合、集積回路の基板は、除去され、ダイヤモンド状炭素のようなより好ましい熱材料に接合され得る。この態様により、能動素子の頂部にある集積回路の相互接続の多層の典型的なプロセッシングにより増加したサーマル・バジェットの種々の影響について補償または妥協をする必要のないより緊密なプロセッシング制御を得ることができる。

【0071】

本発明のもう1つの応用は、相互接続層の選択である。別々に相互接続を処理することが可能であるために、より設計の柔軟性が得られうる。例えば、高速信号を取り扱うような特定の層は、その他の層よりもより重要であり得る。重要なレベルは、重複を最小限にするために他の重要でない層により互いに分離され得る。逆に、重要でない層は、重複がデバイス的高速作業に対して問題とならないときは、隣接する層内に設けることができる。

【0072】

上の態様から明らかなように、集積回路の基板は、上の態様において完全に除去され得る。この結果、絶縁性平坦化材料に埋め込まれたデバイス構成要素の2-Dアレーとなる。この1つの例が図18に示される。各構成要素は、すべての他の構成要素、すなわち、回路層と反対側のデバイスの2-Dアレーから完全に隔離されている。接合される第2のウエハは、同様に処理され得、もう1つのデバイス構成要素の2-Dアレーを与える。デバイスのアレーはその後、回路、サブ回路等を作成するために所望の手段で相互接続され得る。これは、例えばBiCMOSウエハを作成するためにCMOSおよびバイポーラといった異なる技術を互いに接合することにまで広げられ得る。この場合、最も進歩したCMOSおよびバイポーラ技術は、2つのウエハが別々に処理されるため、組み合わせられ

(34)

特表2003-524886

得る。その後、組み合わせ技術デバイスまたは回路を作成することが必要であるならば、新しい組み合わせられたプロセスを設計するかまたは最も進歩した技術の利用または技術における発展を使用せず利用することができない現存の組み合わせ技術を受け入れなければならないのではなく、現存の進歩し認定された技術を使用することができる。

【0073】

第3のウエハおよび次のウエハはまた、基板が第1および第2のアレーに接合される準備が整えられたデバイスの2-Dアレーを作成するために除去されるように処理され得る。第3のデバイスは、もう1つの技術であり得る。図19は、一例を示す。

【0074】

特定のデバイスおよび材料は、第1および第2の態様と関連して記載されて来たが、これらは、本発明を限定するものではない。本発明は、いかなるタイプの基板上にも形成されるいかなるタイプのデバイスにも適用可能である。さらに、いかなるタイプの技術も、接合されるデバイスを作製するために使用され得る。例えば、GaAs基板上のGaAsデバイスは、HBTデバイスに接合され得る。また、シリコンウエハ上に形成されるシリコン系デバイスもまた、GaAs系デバイスまたはHBTタイプデバイスのいずれかに接合され得る。CMOS、BiCMOS、npnおよびpnp HBT、VCSEL、PIN、HFET、MESFET、MOSFET、およびJFETのような技術もまた、使用され得る。

【0075】

本発明に従う方法は、3次元層状集積回路構造を提供する。デバイスは、他のマルチチップモジュールに比べて、減少した相互接続寄生を有する高い集積密度を有するマルチチップモジュールである。このモジュールは、それが異なるデバイスおよび異なる技術を組み合わせることができるようにより大きな柔軟性を提供する。

【0076】

明らかに、本発明の多数の改変および変更は、上の教示を考慮に入れて可能である。したがって、添付の請求の範囲内において、本発明は、本明細書中に具体

(35)

特表2003-524886

的に記載されるものとは別な方法でも実行し得ることを理解するべきである。

【図面の簡単な説明】

【図1】

本発明に従う方法の工程を説明する断面図。

【図2】

本発明に従う方法の工程を説明する断面図。

【図3】

本発明に従い2つの基板を接合することを説明する断面図。

【図4】

本発明に従う接合されたデバイスの断面図。

【図5】

ヘテロ接合バイポーラトランジスタの断面図。

【図6】

本発明に従う図4のトランジスタを接合することを説明する断面図。

【図7】

本発明に従う接合されたデバイスの断面図。

【図8】

本発明に従い2つのデバイスを互いに接合する工程を説明する断面図。

【図9】

本発明に従い2つのデバイスを互いに接合する工程を説明する断面図。

【図10】

本発明に従う2つの接合されたデバイスを図示する断面図。

【図11】

図11Aおよび11Bは本発明に従い接合される2つのデバイスの断面図。

【図12】

図11Aおよび11Bのデバイスを接合することを説明する断面図。

【図13】

図11Aおよび11Bのデバイスを相互接続する工程を説明する断面図。

【図14】

(36)

特表2003-524886

図11Aおよび11Bの接合されたデバイスをもう1つのデバイスに接合する工程を説明する断面図。

【図15】

3つのデバイスを接合することおよび相互接続することを説明する断面図。

【図16】

16A～16Dは3つの集積回路を接合することを説明する断面図。

【図17】

図17Aが層状の相互接続構造の図および図17Bが図17Aの層状の相互接続構造を集積回路を有する基板に接合する図。

【図18】

回路要素の2-Dアレーの図。

【図19】

接合され、相互接続された回路要素の2-Dアレーの図。

【符号の説明】

- 10…基板
- 11、12、13…フィルム
- 14…フィルム（HBTデバイス）
- 15…上部表面
- 16…基板
- 17…フィルム
- 18…露出表面
- 20…基板（GaAs基板）
- 21…平坦化材料
- 22…コレクター層
- 23…ベース領域
- 24…ベースコンタクト
- 25…エミッター
- 26…エミッターコンタクト
- 27…フィルム（二酸化シリコン層）

(37)

特表2003-524886

28、29…フィルム
30…デバイス (HBTデバイス)
31…フィルム (二酸化シリコン層)
32…ウエハ
33…層 (フィルム)
34…基板
35…二酸化シリコン層
40…基板 (SIHBT代理基板)
41…平坦化材料
42…相互接続
43…デバイス (SIHBTデバイス)
44…相互接続
45…VCSEL基板
46…平坦化材料
47…相互接続
48…デバイス (VCSELデバイス)
49…相互接続
50…ビアホール
51…相互接続 (接点)
52…層 (接合層)
53、54、55…相互接続
56…CMOSデバイス
57…相互接続
58…材料 (平坦化材料)
59…相互接続 (接点)
60…構成要素 (相互接続)
61、62…構成要素
70…基板
71…層 (半導体層)

(38)

特表2003-524886

- 72…ピクセル
73…基板
74…層 (半導体層)
75…メモリセル
76…基板
77…層
78…構成要素
80、81、82、83…層

【図1】

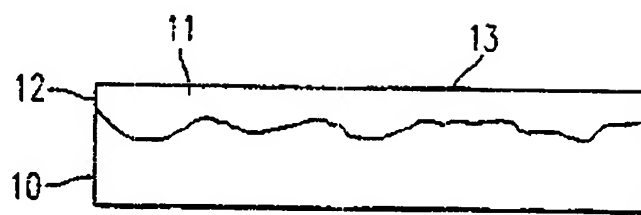


FIG. 1

【図2】

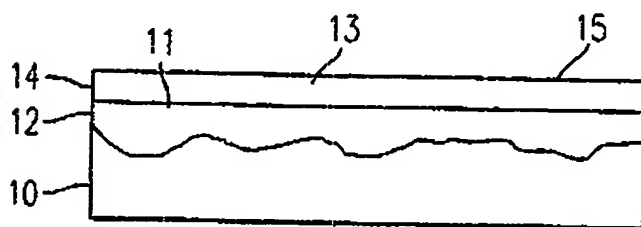


FIG. 2

(39)

特表2003-524886

【図3】

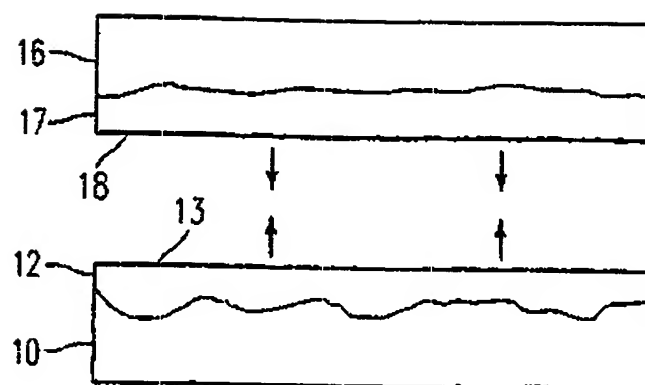


FIG. 3

【図4】

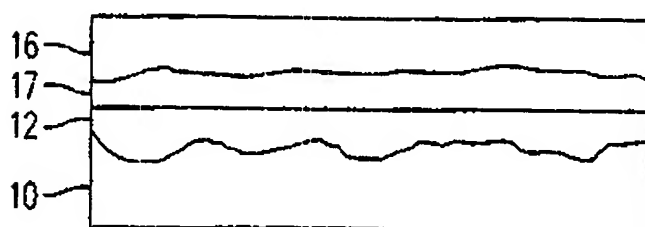


FIG. 4

(40)

特表2003-524886

【図5】

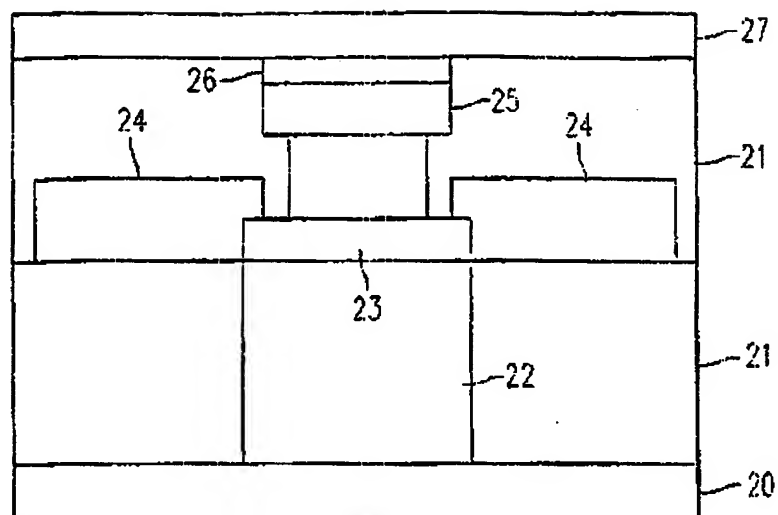


FIG. 5

(41)

特表2003-524886

【図6】

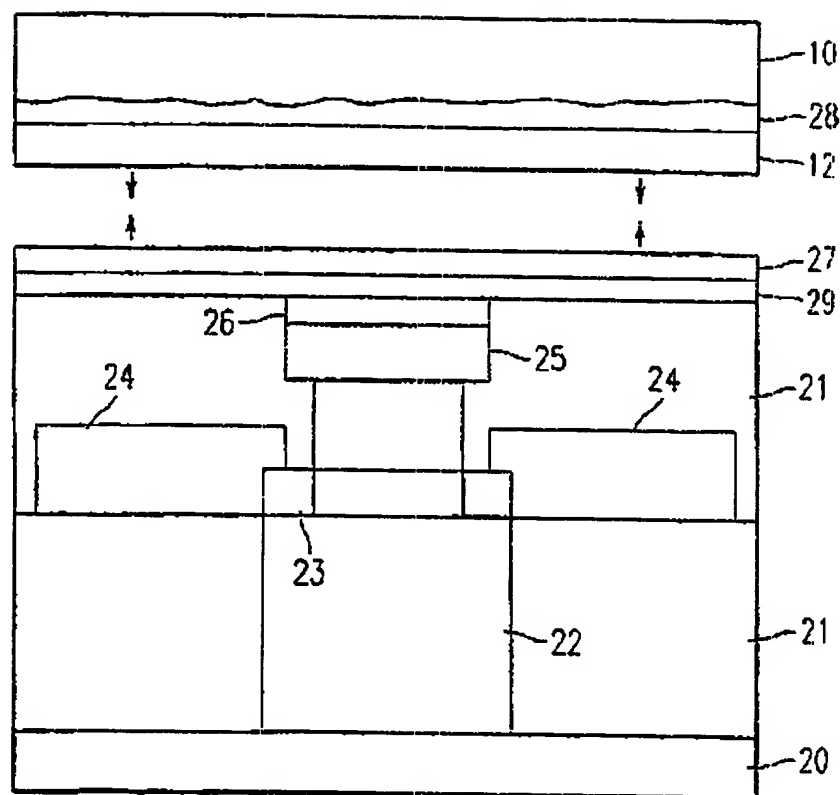


FIG. 6

【図7】

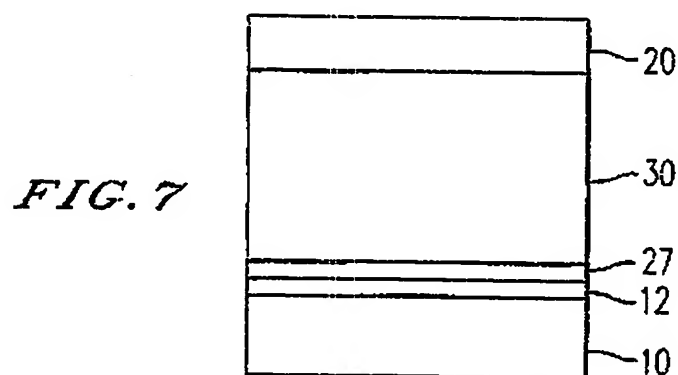


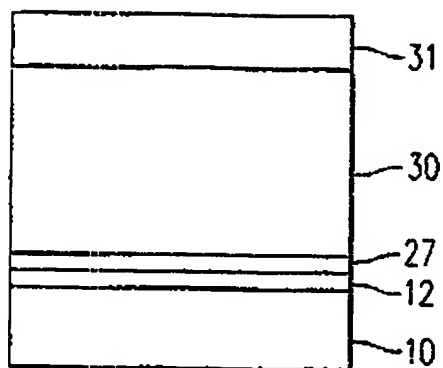
FIG. 7

(42)

特表2003-524886

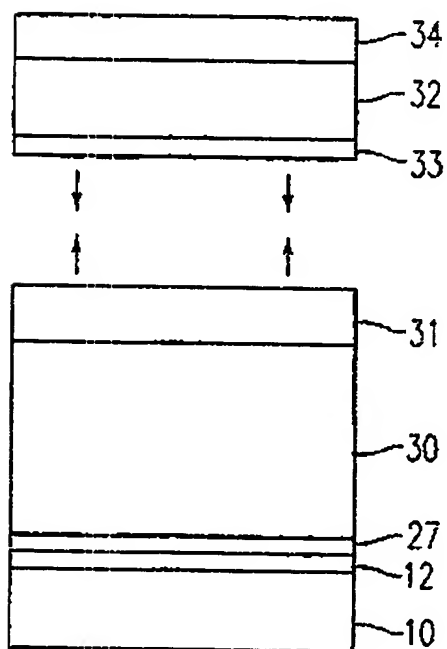
【図8】

FIG. 8



【図9】

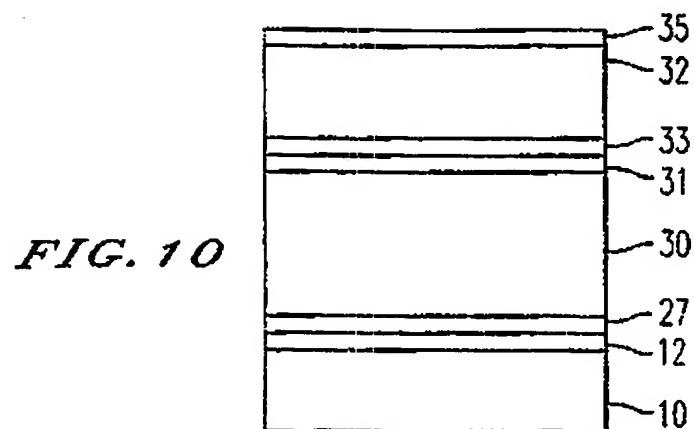
FIG. 9



(43)

特表2003-524886

【図10】



【図11】

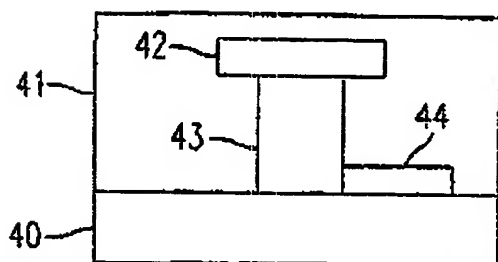


FIG. 11A

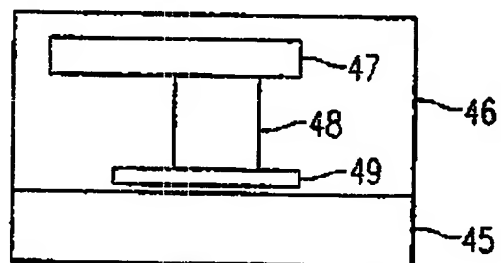
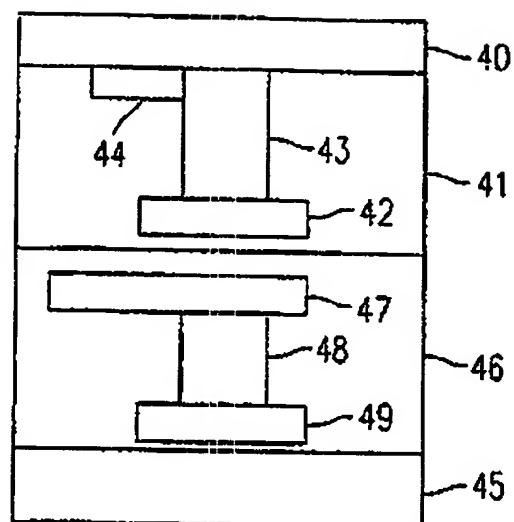


FIG. 11B

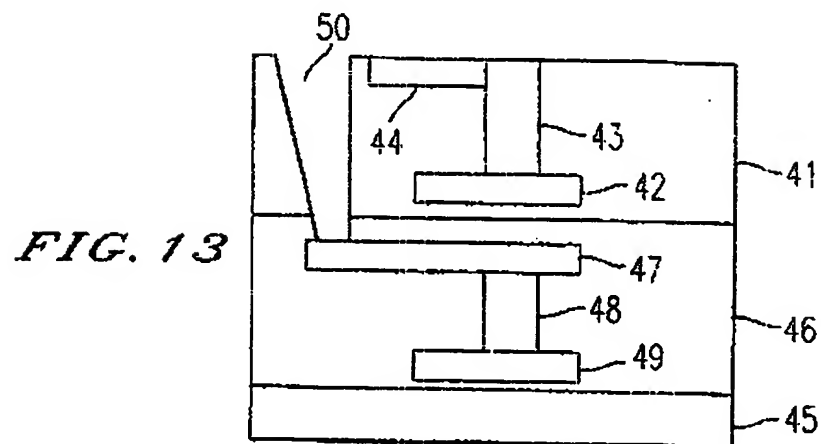
(44)

特表2003-524886

【図12】

*FIG. 12*

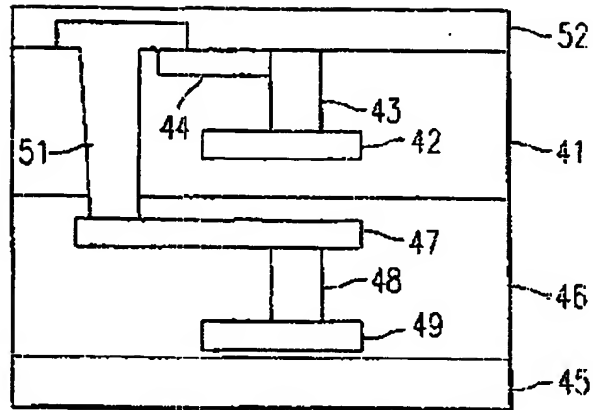
【図13】

*FIG. 13*

(45)

特表2003-524886

【図14】

FIG. 14

(46)

特表2003-524886

【図15】

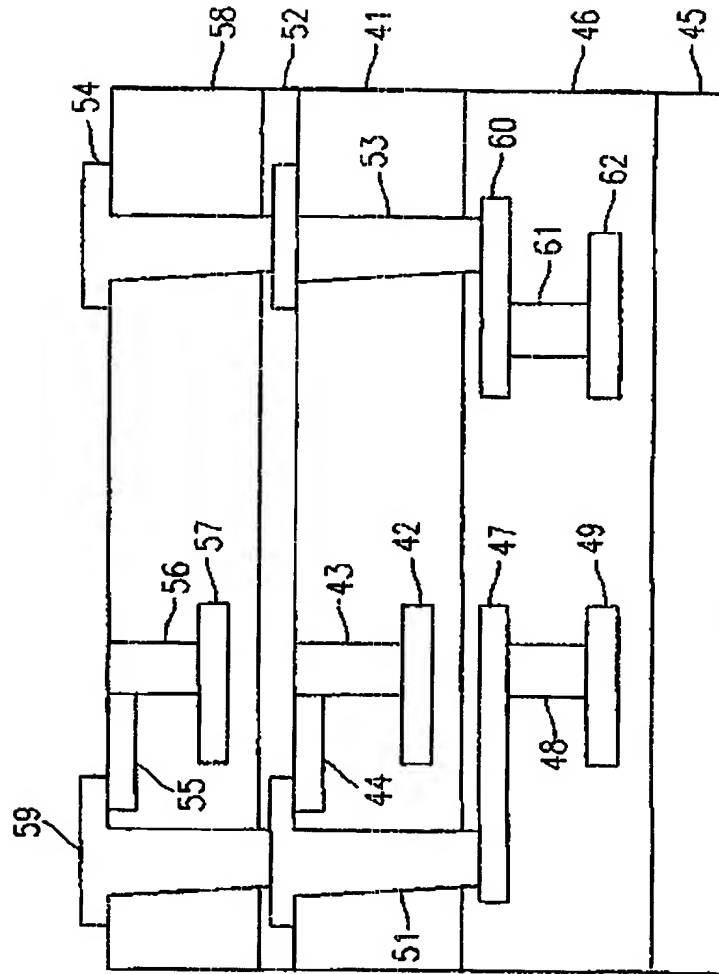


FIG. 15

(47)

特表2003-524886

【図16】

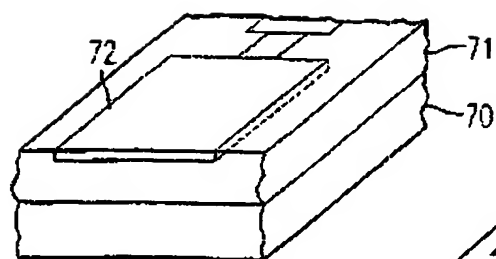


FIG. 16A

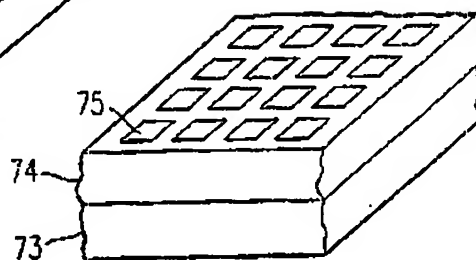


FIG. 16B

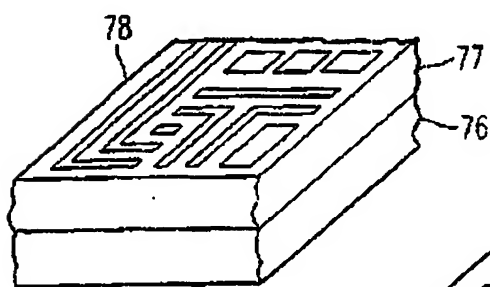


FIG. 16C

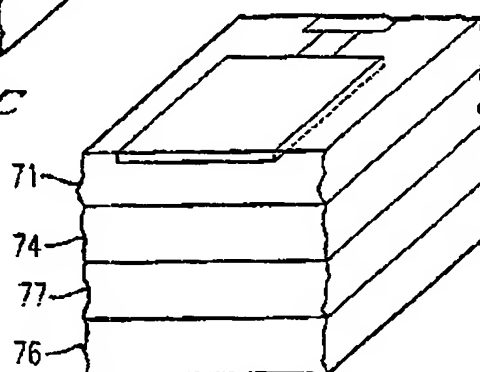
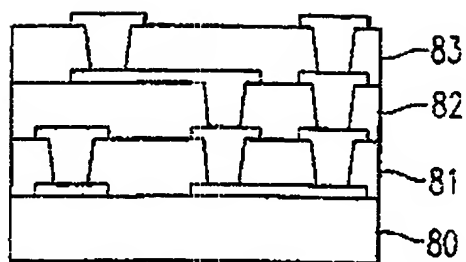
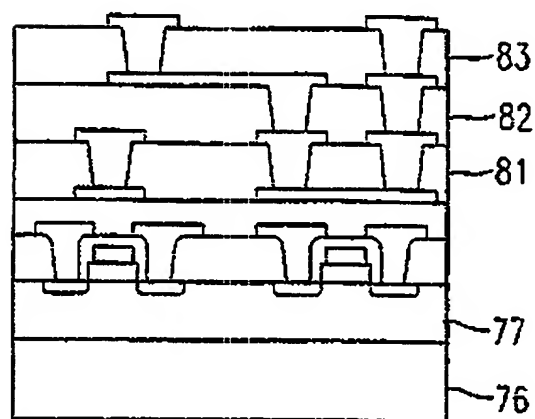


FIG. 16D

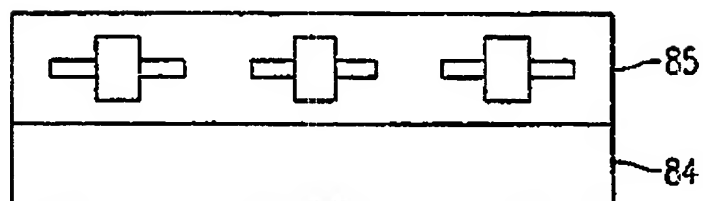
(48)

特表2003-524886

【図17】

*FIG. 17A**FIG. 17B*

【図18】

*FIG. 18*

特表2003-524886

(49)

【図19】

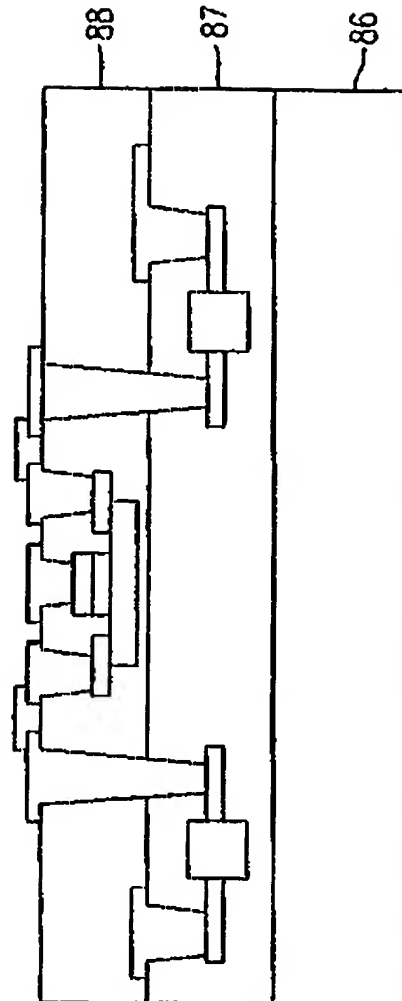


FIG. 19

(50)

特表2003-524886

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US00/21000
A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : H01L 21/58 US CL : Please See Draw Sheet. According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 156/182, 297; 428/411.1, 452; 438/435, 436, 439; FOR 105; 148/DIG.12 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) USPTO APS EAST search terms: 3 or 3less, substrate		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5,851,894 A (RAMM) 22 December 1998 (22.12.1998), abstract.	1-82
Y	US 5,650,353 A (YOSHIZAWA et al) 22 July 1997 (22.07.1997), col. 4, lines 13-30.	1-82
Y	US 5,563,084 A (RAMM et al) 08 October 1996 (08.10.1996), abstract.	1-82
Y	US 5,763,318 A (BERTIN et al) 09 June 1998 (09.06.1998), col. 6, lines 36-44.	1-82
Y	US 5,902,118 A (HUBNER) 11 May 1999 (11.05.1999), col. 1, lines 23-43 and col. 2, lines 3-43.	1-82
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" documents defining the general state of the art which is not considered to be of particular relevance "E" earlier documents published on or after the international filing date "L" documents which may show doubts as to priority claimed or which is cited to establish the prior art date of another citation or other special reason (in particular) "X" documents referring to a prior disclosure, use, exhibition or other means "Y" documents published prior to the international filing date but later than the priority date claimed "T" documents published after the international filing date or priority date and not inconsistent with the application but cited to underline the principle or theory underlying the invention "X" documents of particular relevance: the claimed invention cannot be considered novel or inventive by consideration of the document in isolation alone "Y" documents of particular relevance: the claimed invention cannot be considered to involve an inventive step where the document is compared with one or more other such documents, such combination being obvious to a person skilled in the art "B" document member of the same patent family		
Date of the actual completion of the international search 23 MARCH 2001		Date of mailing of the international search report 03 APR 2001
Name and mailing address of the ISA/US Comptroller of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-2220		Authorized officer GEORGE FOURSON Telephone No. (703) 305-0956 <i>George Fourson</i>

Form PCT/ISA/210 (second sheet) (July 1998)

(51)

特表2003-524886

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US02/21940

C (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y,E	US 6,197,663 B1 (CHANDROSS et al) 06 March 2001 (06.03.2001), col. 2, lines 5-19 and col. 4, lines 50-61.	1-82
Y	US 5,087,585 A (HAYASHI) 11 February 1992 (11.02.1992), abstract and col. 1, lines 35-60.	1-82

Form PCT/ISA/210 (continuation of second sheet) (July 1998).

(52)

特表2003-524886

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US0021990A. CLASSIFICATION OF SUBJECT MATTER
US CL :

156182, 297; 428411.1, 450; 438435, 456, 459, FOR 105; 148DIQ.12

Form PCT/ISA/210 (corrigendum) (July 1998)

(53)

特表2003-524886

フロントページの続き

(51)Int.Cl.	識別記号	F I	F-コード (参考)
H01L 21/8238		H01L 27/08	102E
27/04			
27/088			
27/092			
29/737			

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, I T, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, K E, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, C A, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, K E, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, R U, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, T2, UA, UG, UZ, VN, YU, ZA, ZW

Fターム(参考) 5F003 AZ03 BA97 BM02 BP36
 5F038 CA16 EZ02 EZ06 EZ11 EZ20
 5F048 AA01 AB01 AB10 AC01 AC04
 AC05 BA16 CB02 CB03 CB04

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.